



INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS™

INTERNATIONAL
ROADMAP
FOR
DEVICES AND SYSTEMS™

2022 EDITION

EXECUTIVE SUMMARY
Japanese Translation

THE IRDS™ IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

© 2022 IEEE. Personal use of this material is permitted. Permission from IEEE must be obtained for all other uses, in any current or future media, including reprinting/republishing this material for advertising or promotional purposes, creating new collective works, for resale or redistribution to servers or lists, or reuse of any copyrighted component of this work in other works.

Wi-Fi® and Wi-Fi Alliance® are registered trademarks of Wi-Fi Alliance.

LTE™ is a Trademark of ETSI registered for the benefit of its Members and of the 3GPP Organizational Partners.

The IEEE emblem is a trademark owned by the IEEE.

"IEEE", the IEEE logo, and other IEEE logos and titles (IRDS™, IEEE 802.11™, IEEE P1785™, IEEE P287™, IEEE P1770™, IEEE P149™, IEEE 1720™, etc.) are registered trademarks or service marks of The Institute of Electrical and Electronics Engineers, Incorporated. All other products, company names or other marks appearing on these sites are the trademarks of their respective owners. Nothing contained in these sites should be construed as granting, by implication, estoppel, or otherwise, any license or right to use any trademark displayed on these sites without prior written permission of IEEE or other trademark owners.

iPhone is a trademark of Apple, Inc.

NPD's name, NPD's logo, and all related names, logos, product and service names, designs, and slogans are trademarks of The NPD Group, Inc.

ZOOM is a trademark of Zoom Video Communications, Inc.

Table of Contents

1.	序論	1
1.1.	2021/2022年の業界における主なトピックスと2022年版IRDSからのキーメッセージ	3
1.2.	エレクトロニクス業界の新しいエコシステム	18
1.3.	寸法のスケーリングを超えて	34
1.4.	QIP (量子情報処理、Quantum Information Processing)	34
2.	ロードマップのプロセスと構成	35
2.1.	ロードマップのプロセス	35
2.2.	IRDS IFTの体制と説明	36
3.	ロードマップ全体のドライバー - ORSC (ロードマップ全体のシステム指標、Overall roadmap system characteristics) と ORTC (ロードマップ全体の技術指標、Overall roadmap technology characteristics)	43
3.1.	システムの性能の考慮事項	43
3.2.	ロードマップ全体のシステム指標とロードマップ全体の技術指標 OVERALL ROADMAP SYSTEMS AND TECHNOLOGY CHARACTERISTICS (ORSC AND ORTC)	45
4.	主要な技術課題	49
4.1.	短期的技術課題	49
4.2.	長期的技術課題	54
5.	ロードマップメトロロジとエレクトロニクス業界に対する影響の歴史的進化	57
5.1.	ムーアの法則	57
5.2.	新たなコンピュータ業界の夜明け	57
5.3.	SoC と SiP	63
5.4.	電力の課題	64
5.5.	周波数を制限した結果	64
5.6.	IoT、IoE	68
5.7.	スケーリングの3つの時代	69
6.	実的な考慮事項	73
7.	量子コンピューティングの課題	76
8.	Acronyms/Abbreviations	77
9.	付録	80
9.1.	付録A - IFTの章とホワイトペーパーのファイルへのリンク	80
9.2.	付録B - ロードマップ全体の指標 (ORSC および ORTC) のソース情報へのリンク	80

List of Figures

Figure ES1	IRDS のスコープ	2
Figure ES2	A. エレクトロニクス業界に関連するトレンドを編集	3
Figure ES2	B. GDP、スマートフォン、PC、軽自動車のトレンド予測	4
Figure ES3	電子システムにおける半導体は 20 年間で倍増した	5
Figure ES4	ユニット数の伸びは回復し、CAGR は 8.4%となった	6
Figure ES5	工場の利用率は 2021 年には 95%を上回った	6
Figure ES6	IC ウェーハのキャパシティは 2021 年と 2022 年に年率 8%を上回る成長を達成	7
Figure ES7	A. 半導体の供給は回復したが、他の多くの品目はサプライチェーンに未だに大きな遅れが見られる	8
Figure ES7	B. 自動車の出荷量は順調に回復しつつある	8
Figure ES8	半導体の成長率の予測は、上昇と下落を繰り返すと見られる	9
Figure ES9	オプトエレクトロニクスは過去 10 年間で 13%の CAGR で成長している	10
Figure ES10	EUV リソグラフィスキャナーの出荷は 2021 年も引き続き成長	11
Figure ES11	A. デバイスは今後 5 年間、積極的な微細化を継続する。ロジックの 3D 構造への移行時期は引き続き 2025 年をターゲットとする。	12
Figure ES11	B. NAND フラッシュメモリおよびロジックのデバイスアーキテクチャは、2013 年版 ITRS での予測通り、2D から 3D への移行を進めている。	12
Figure ES11	C. トランジスタの 2003~2025 年の進化：2D 等価的スケーリングから 3D パワースケーリングへ	13
Figure ES11	D. 縦型トランジスタとナノリボンは次第にロジック技術に適用される ...	13
Figure ES11	E. 3D NAND の進化：2025 年には 32 層、2030 年までには 1000 層超へ	14
Figure ES12	R&D 費は制御可能な範囲を維持	15
Figure ES13	EUV 技術により微細化の進化は継続する	15
Figure ES14	通信トラフィックは予測可能な範囲において、毎年約 2 倍成長していく	16
Figure ES15	ハイパーデータセンタへの投資額は 5 年間で倍増	17
Figure ES16	BC デバイスの性能は目標値に向け改善を続けている	17
Figure ES17	量子センタはユビキタスアクセスのために高速ネットワークが必要	18
Figure ES18	パンデミックにより、2020~2021 年に PC の売上高は上昇した	19
Figure ES19	スマートフォンの販売台数は 2020 年に下落した	19
Figure ES20	クロック周波数はパワーウォールにより 10GHz 未満に制限された	20
Figure ES21	顔認識は社会のセキュリティの本質的要素となりつつある	21
Figure ES22	200W を超える EUV 光源と 80%を超える稼働率により、製造過程への EUV 導入への道が開かれた	22
Figure ES23	複数の 193 nm リソグラフィを使用するマスク数は過去 5 年間で倍増した ...	23
Figure ES24	3D NAND の進化：2015 年には 32 層、2030 年までには 1000 層超へ	24
Figure ES25	当初の技術ノードの定義	25

Figure ES26	技術ノードの定義への業界の「適合」	25
Figure ES27	IRDS の包括的な技術ノードの定義	26
Figure ES28	デバイスは今後 5 年間も積極的にスケーリングを継続する	26
Figure ES29	ASML と IRDS の報告による、メタルハーフピッチの定義とトレンドの一致	27
Figure ES30	メタルピッチのスケーリングは 2020 年に期待を上回る	28
Figure ES31	データセンタの成長は留まることがない	29
Figure ES32	データセンタ内のトラフィックは主な制約要素である	30
Figure ES33	特定の課題を解決するため、専門分野に特化した複数のアーキテクチャが登場している	31
Figure ES34	新たに登場したデバイスやコンピュータのアーキテクチャの共生	31
Figure ES35	IRDS の IFT の体制	37
Figure ES36	471.omnetpp ベンチマークの性能の推移	44
Figure ES37	(a) トレーニングと (b) 推論で報告されるシステム電力の関数としての TOPS (データポイント) と結果の TOPS/W (緑の点線)	45
Figure ES38	1989 年に概要が提示された、MPU (マイクロプロセッサ ユニット、Microprocessor unit) への移行に関する予測	58
Figure ES39	マルチコアアーキテクチャの導入により、電力制限を超えることなく、CPU 設計における中程度の性能の向上を実現した	59
Figure ES40	GPU アクセラレーテッドコンピューティングの活用により、性能はかつての傾向に回帰し、さらにはそれを上回るようになった	60
Figure ES41	CPU 柔軟性と ASIC の効率のトレードオフ	61
Figure ES42	反復的なソフトウェアの命令をハードウェアに転換することで、計算性能を向上させることができる	63
Figure ES43	複数の計算のオペレーションがハードウェアに組み込まれ、ソフトウェアによりアクティベートされている (色の付いたアクティベーション済みの専門特化された計算ブロックを参照)	63
Figure ES44	A. フリスの自由空間についての方程式	66
Figure ES44	B. 伝搬範囲の減少における周波数の影響の例	66
Figure ES45	高速通信のための光ファイバ接続の世帯への普及率	67
Figure ES46	400 GHz 以上で動作するシリコンデバイスの限界	67
Figure ES47	通信の世界におけるコンピューティングの複数の側面	69
Figure ES48	1998 年の ITRS プログラム : 戦略から実行へ	70
Figure ES49	完全に刷新された MOS トランジスタのビジョン	70
Figure ES50	記録的な速度で大量生産の戦略を実行に移す	71
Figure ES51	エレクトロニクス業界の新しいエコシステム	71
Figure ES52	2D スケーリングは 2020 年以降本質的な限界に達する	72
Figure ES53	2014 年、フラッシュメモリは積極的に 3D スケーリングを導入	72
Figure ES54	理想的な 3D トランジスタ	73
Figure ES55	NTRS、ITRS、ITRS 2.0、IRDS が予測したスケーリングの 3 つの時代	73

Figure ES56	FinFET から GAA、そして完全な縦型へのトランジスタ構造の実際の移行.....	74
Figure ES57	2D プレーナから 2.5D FinFET、GAA による 3D モノリシック VLSI への MOSFET デバイスアーキテクチャの変化	74
Figure ES58	モノリシックなヘテロジニアスインテグレーションの登場に向けた計画.....	75
Figure ES59	トランジスタと機能性のトレンドを向上させる 2 つの相互補完的な方法.....	75
Figure ES60	そう遠くない未来に量子コンピューティングはいくぶん困難なデバイスの選 択を迫られる 76	

List of Tables

Table ES1	ORSC	46
Table ES2	システムインテグレーションのアンカーポイント	47
Table ES3	Overall Roadmap Technology Characteristics.....	47
Table ES4	レイテンシに反応しやすいプロセッサのシステムおよびアーキテクチャの技 術トレンド	62

Acknowledgments

International Roadmap Committee

Europe—Francis Balestra, Mart Graef

Japan—Yoshihiro Hayashi, Norikatsu Takaura, Hidemi Ishiuchi

U.S.A.— Paolo Gargini-chair, Tom Conte-vice-chair



IEEE

Rebooting Computing and Standards Association, with special thanks to Erik DeBenedictis, Terence Martinez, Rudi Schubert, William Tonti, and Elie Track

Electron Devices Society—Fernando Guarin and Terence Hook

The outstanding work by the members of the International Focus Teams is acknowledged in each of their roadmap chapters.

The chairs and co-chairs of these teams are as follows:

Application Benchmarking—Tom Conte

Systems and Architectures—Kirk Bresniker and Stephen Dukes

Outside Systems Connectivity—Michael Garner

More Moore—Mustafa Badaroglu

Lithography—Mark Neisser

Factory Integration—Supika Mashiro and James Moyne

Yield—Slava Libman and Don Wilcox

Beyond CMOS—An Chen, Shamik Das and Matt Marinella

Cryogenic Electronics and Quantum Information Processing—Scott Holmes

Packaging Integration—Dev Gupta

Metrology—George Orji, Ben Bunday, Yaw Obeng

Environment, Safety, Health, and Sustainability—Leo Kenny and Steve Moffat

More than Moore—Mart Graef

Autonomous Machine Computing -Shaoshan Liu and Jean-Luc Gaudiot

Mass Memory Storage - Tom Coughlin and Roger Hoyt

IRDS Project Manager

Linda S. Wilson

Special Acknowledgment

Alan K. Allan

IRDS IEEE Societies and Councils Support Organizations



支援団体



まえがき

IEEE の IRDS（国際デバイスシステムロードマップ、International Roadmap for Devices and Systems）は、1992 年から 2015 年まで途切れることなく刊行されていた NTRS/ITRS（米国半導体技術ロードマップ、National Technology Roadmap for Semiconductors/国際半導体技術ロードマップ、International Technology Roadmap for Semiconductors）を継承し、これを拡張したものである。IRDS は NTRS/ITRS による複数の優れた方法論に従うとともに、システムインテグレーション、データセンタおよびインターネット通信の要件、量子計算、量子通信にも対応すべく、領域を拡大している。IRDS は、2016 年、2017 年、2018 年、2020 年、2021 年に発行されている。

これまで ITRS の全章の草稿は、10 月にまとめられてきた。その後すぐに概要（Executive Summary）が作成され、11 月中旬の年次会議で SIA（米国半導体工業会、Semiconductor Industry Association）に提出されていた。

その後数か月間にわたり、主な成果や翌年に向けた予測が IEDM（国際電子デバイス会議、International Electron Devices Meeting）（12 月中旬）や ISSCC（国際固体素子回路会議、International Solid-State Circuits Conference）（2 月下旬）などの主要会議で示された。さらに、1 月には、複数の企業がその年のビジョンの概要について発表する機会もあった。以前は、ITRS の発行は SIA の取締役会に合わせて日程が定められていた。2016 年 5 月の IEEE への移行に伴いこうした制約はなくなり、翌年の第 2 四半期の期首に IRDS がリリースされることとなった。その結果、それまではロードマップのアップデートの一環として翌年に公開されていた全ての情報を、IRDS の刊行物作成にあたってリアルタイムで参照できるようになった。またこれにより、2019 年版 IRDS は 2020 年版 IRDS に名称が変更された。

これまで、NTRS/ITRS および IRDS は今後生じる特定の問題について早期に予告することで、研究機関やサプライヤ企業がソリューション候補の開発に十分な時間を確保できるようにしていた。たとえば 1998 年には、プレーナ型シリコンゲートの CMOS（相補型金属酸化膜半導体、Complementary metal oxide semiconductor）の歪シリコンへの変更、high- κ /メタルゲート、Fin-FET について明確に言及され、2003 年、2007 年、2011 年にそれぞれ主要マイルストーンが達成された。2020 年版 IRDS では、業界のハイライトおよび IRDS キーメッセージのセクションが導入され、2 組織間の関係性がより分かりやすく示されるようになった。

概要資料

1. 序論

IRDS のミッション

デバイスからシステム、およびシステムからデバイスへのエレクトロニクス業界のロードマップを明らかにする。

IRDS の体制

本取り組みは、デバイスおよびシステム産業の進化と緊密に連携する IFT（国際フォーカsteam、International focus team）の成果を通じて、IRDS に焦点を当てている。IRC 主導のもと、IFT は 2022 年版 IRDS の作成のために協力し、RCI（Rebooting Computing Initiative）、EDS（Electron Devices Society）、CS（Computer Society）、ComSoc（Communication Society）などの団体、関連業界、および SDRJ（システムデバイスロードマップ産学連携委員会、System and Device Roadmap Committee of Japan）や ESI（European SINANO Institute）などの学術コミュニティとの補完的な取り組みを進めることで、以下のようなさまざまなステークホルダーと足並みを揃え、合意を形成する支援を行った。

- 学術界
- コンソーシアム
- 産業界
- 国立研究所

人類のために技術を進化させることに専心する世界最大の技術者による専門組織の IEEE は、さまざまなステークホルダーと足並みを揃え、合意を形成するために、IEEE-SA（IEEE Standards Association）IC（Industry Connections）プログラムを通じ、IRDS を支援している。これによりトレンドを明らかにし、コンピュータ産業における全ての関連技術について、ロードマップを策定することを目指している。

エレクトロニクス業界の基本的な構成要素に関する IRDS™のスコープは、デバイスからシステム、およびシステムからデバイスを対象としており、Figure ES1 に示すとおり、半導体デバイスやプロセス技術を基盤に、高速ネットワーク通信を備える AI を中心とした IoT 社会インフラストラクチャを構築していく。

2022 年版 IRDS のフォーカsteamは以下のとおり。

1. AB（アプリケーションベンチマーキング、Application Benchmarking）（2021 年と同様）
2. SA（システム・アーキテクチャ、Systems and Architectures）
3. OSC（アウトサイドシステムコネクティビティ、Outside System Connectivity）
4. MM（モアムーア、More Moore）
5. BC（ビヨンド CMOS、Beyond CMOS）
6. CEQIP（極低温エレクトロニクスと量子情報処理、Cryogenic Electronics and Quantum Information Processing）
7. PI（パッケージ統合、Packaging Integration）ホワイトペーパー（2021 年と同様）
8. FI（ファクトリーインテグレーション、Factory Integration）
9. L（リソグラフィ、Lithography）
10. YE（歩留向上、Yield Enhancement）
11. M（メトロロジ、Metrology）
12. MtM（モアザンムーア、More than Moore）ホワイトペーパー
13. ESH/S（環境・安全・健康・持続性）

さらに以下の 2 つの章が作成されており、2022 年版 IRDS に向けてホワイトペーパーの準備が進んでいる。全ての章は、2023 年版 IRDS で公開される予定である。

14. Mass Data Storage and Non-volatile Memory（大規模データストレージと不揮発性メモリ）
15. Autonomous Machine Computing（自律型マシンコンピューティング）

2 序論

これらの新たな領域に焦点を当てたホワイトペーパーは、2022年版 IRDS の一部として公開される。各 IFT が注力する技術的ロードマップは、それぞれが担当する特定の領域だけではなく、システムやデバイス間、あるいはデバイスと製造プロセステクノロジー間の境界横断的な領域にも及んでいる。IRDS ロードマップの大規模な改訂作業は2年ごとに行われるが、小規模な改訂は必要に応じて1年単位で実施される。2022年版 IRDS は、2021年版 IRDS の改訂版として作成されたものである。各 IFT の技術的な論点は国際的な代表者からなる IRC の管理のもとで選定され、内部での議論を経て、結果が IEEE IRDS のホームページ (irds.ieee.org) で公開されている。

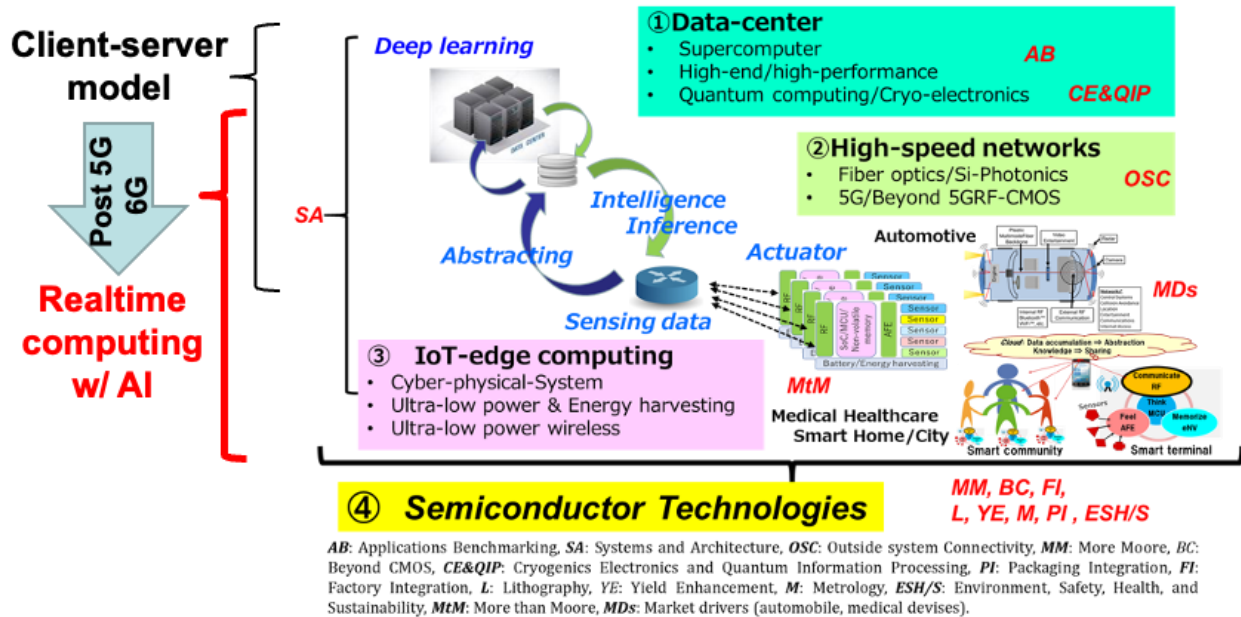


Figure ESI IRDS のスコープ

エレクトロニクス業界における IRDS[®] の基本的な構成要素のスコープは、デバイスからシステムおよびシステムからデバイスに及び、国際的な協力のもとで注力領域が議論される。詳細についてはセクション 2.1 「ロードマップのプロセス」を参照。

半導体技術を基盤とした、エレクトロニクス業界の新たなエコシステム

IEEE のスポンサー

IRDS のスポンサーは IEEE RC (IEEE Rebooting Computing) であり、以下を含む多数の IEEE Operating Unit およびパートナー組織による諮問と支援を受けている。

CASS—Circuits and Systems Society

GEDA—Council on Electronic Design Automation

CS—Computer Society

CSC—Council on Superconductivity

EDS—Electron Devices Society

EPS— Electronics Packaging Society

MAG—Magnetics Society

NTC—Nanotechnology Council

PELS—Power Electronics Society

RS—Reliability Society

SSCS—Solid State Circuits Society

SRC—Semiconductor Research Corporation

IEEE Standards Association

国際的なスポンサーと協力

IRDS 活動の推進にあたり、IEEE と密接な国際連携を取っている組織が複数存在する。

- The SINANO Institute <http://www.sinano.eu/>
- SDRJ (システムデバイスロードマップ産学連携委員会、The System Device Roadmap Committee of Japan) <https://www.sdrj.jp/>
- iNEMI (The International Electronics Manufacturing Initiative) <http://www.inemi.org/>

1.1. 2021/2022 年の業界における主なトピックスと 2022 年版 IRDS からのキーメッセージ

2020 年から 2021 年にかけては、全世界が 100 年に 1 度のパンデミックにより混乱に陥り、強く印象に残る出来事がいくつも起きた。しかし反面、コミュニケーションや商品の購入、銀行手続きの処理、ビジネス取引を遠隔から行うニーズが生じたために、エレクトロニクス業界ではさまざまな取り組みが加速することとなった。それほど多数の技術を組織的に拡張する場合、パンデミック以前であればおそらく 5 年以上の時間を要していたと思われる。さらに、ノート PC、Zoom によるコミュニケーション、オンラインでの購買活動などに精通することなど予想もしなかった新規顧客が、これらの技術を頻繁に使わざるを得ない状況となった。

本概要では、2021 年に起きた進化を紹介し、2022 年以降のトレンドの一部を予測する。2022 年版 IRDS を論点とする際にはさまざまなテーマがあるが、ここではいくつかの主要な項目について簡単に解説する。

2021 年になると、産業界はパンデミックによる課題にどのように対処すべきかを理解し始めたため、2020 年に低下した GDP が世界的に急上昇した。2022 年も引き続き、多くの企業がサプライヤのネットワークに関する課題を解決することで、3.6%とそれほど急激ではないものの良好な GDP の成長が期待される（さらなる低下を招きうる例外的な制御不能の出来事を除く）。エレクトロニクス業界は 2021 年、スマートフォンのカテゴリで 5.5%の成長を達成するなど、非常に良好な状態を維持したが、2022 年も引き続き 3.7%の成長が見込まれる。2019 年および 2020 年の低下とは対照的である。PC カテゴリでは、2020 年は 13%、2021 年は 18%と予期せぬ成長を達成した。これは、パンデミック期間中に消費者や従業員が遠隔で通信する必要が生じたことに起因する。2022 年にはこの傾向は縮退すると見られるが、複数のレポートによると、2019 年に比べて 26%高い水準となる。その結果、エレクトロニクスシステムの販売や IC（集積回路、Integration circuit）ユニット数は、2022 年は 2020 年と比較して、成長する傾向が継続すると見られる。また、複数のレポートの内容に反して、自動車業界も完全な状態に戻ることは明らかである。詳細は Figure ES2 を参照のこと。

Key Semiconductor Drivers Forecasts

		2019	2020	2021	2022	2022	
Global GDP	Change	2.8%	-3.3%	6.0%	4.4%	3.6%	Original Forecast April 2021 Revised Forecast April 2022
	Smartphones	M units	1,373	1,280	1,350	1,400	
	Change	-2.3%	-6.7%	5.5%	3.7%	3.7%	
PCs	M units	268	302	357	340	340	
	Change	3%	13%	18%	-5%	-5%	
Light vehicles	M Units	89	76	81	86	86	
	Change	-4%	-15%	5%	6%	6%	

出典：複数のレポートを編集

Figure ES2

A. エレクトロニクス業界に関連するトレンドを編集

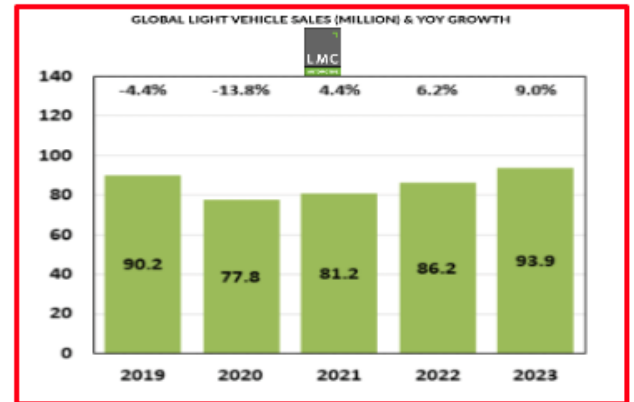
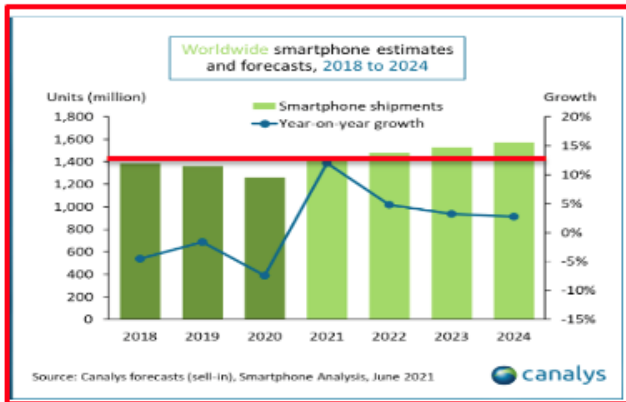
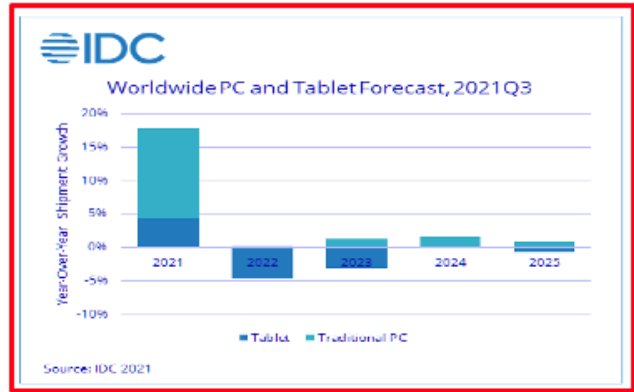
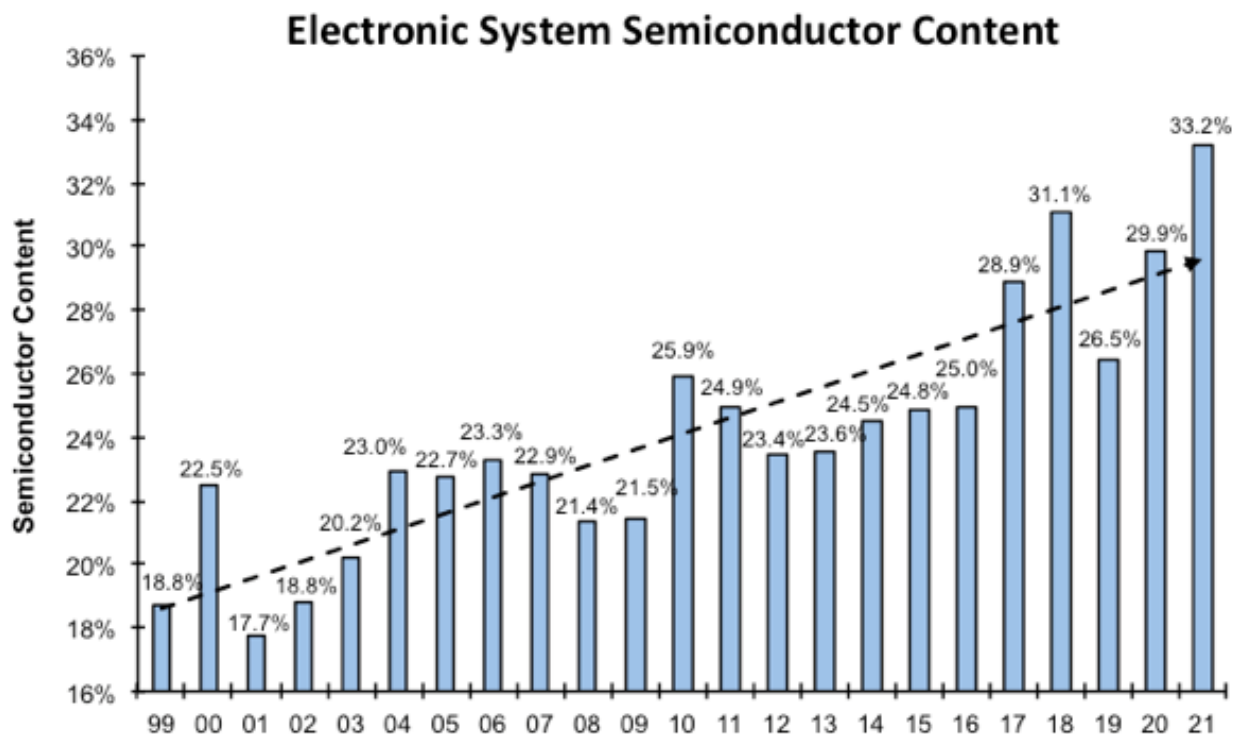


Figure ES2 B. GDP、スマートフォン、PC、軽自動車のトレンド予測

電子システムの半導体は、社会のさまざまな側面で用いられるあらゆるデバイスで広く導入される傾向が続いたため、2021年には3%の上昇を達成した。半導体はあらゆるシステムにおいて極めて重要な要素となっている。たとえば、機械的に動作するほとんどの部品は、もはや手動あるいは機械により作動するのではなく、集積回路により制御されている。

Figure ES3 では、過去 20 年で電子システムにおける半導体が倍増したことが示されている。予測可能な範囲において、この傾向は今後も継続すると見られる。詳細は Figure ES3 を参照のこと。



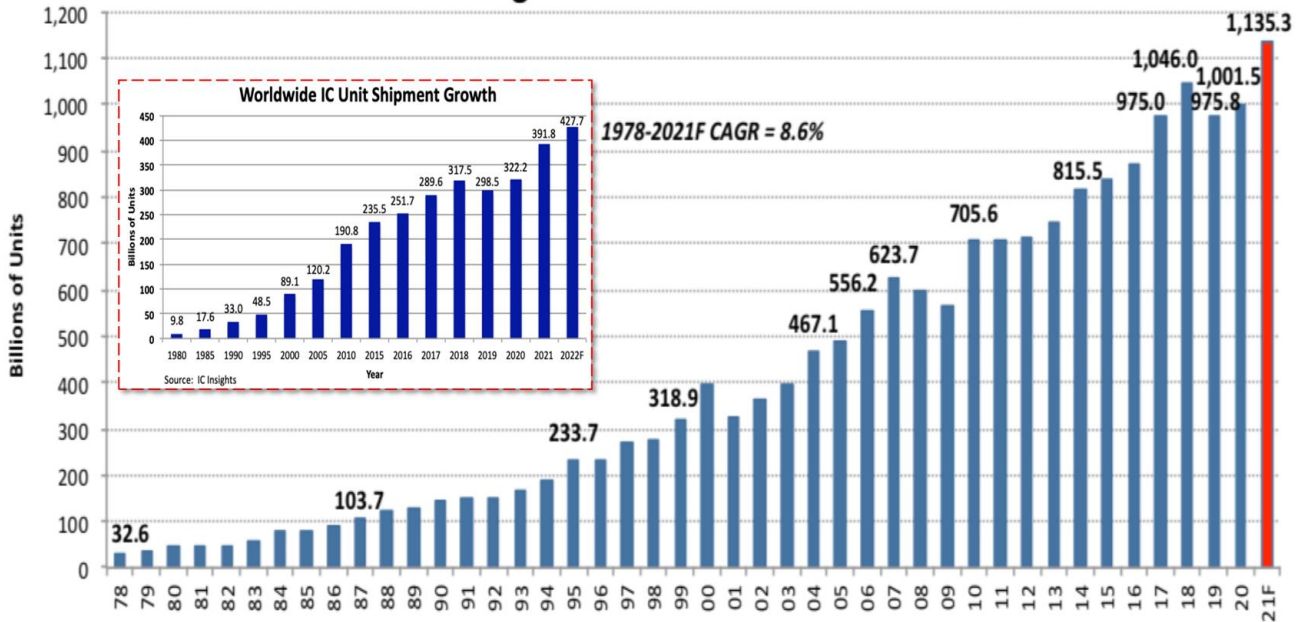
出典：IC Insights

Figure ES3 電子システムにおける半導体は 20 年間で倍増した

出荷ユニット数は 2019 年と 2020 年に若干下落したが、2021 年には再び上昇傾向となり、11 億ユニットの水準を初めて上回った。さらにこれに関連する事実として、IC ユニットの出荷は 4,000 億をわずかに下回る結果となったことが挙げられる。2020 年から 2021 年にかけて IC ユニットが 22% と大幅に増加したことで、IC ユニット出荷の成長率は回復し、70 年台後半からの CAGR（年平均成長率、Compound annual growth rate）は 8.6% となった。半導体部品がエレクトロニクス業界の基礎を支えることを示すもう 1 つの事実と言える。

パンデミックは 2020 年第 1 四半期においては半導体業界に大きな影響をもたらしたが、これに対応して工場利用率を 80% 台半ばから 90% 台半ばに高めることで、2020 年第 3 四半期までに生産高は増大した。その結果、半導体不足は実質的に 2021 年下半期までにほぼ解消された。詳細は Figure ES4 を参照のこと。

Tracking Semiconductor Unit Growth



出典 : IC Insights

Semiconductor content in Electronics Systems doubled in 20 years

Figure ES4 ユニット数の伸びは回復し、CAGR は8.4%となった

サプライチェーンの課題のために、半導体の出荷は2020年第1四半期に大きな影響を受けた。半導体メーカーは2020年第2四半期より、工場の利用率をかつてない水準にまで高め、現在までそのペースを維持している。こうした努力により、ユニット数や収入は2021年、記録的な水準にまで回復している。

SEMICONDUCTOR COMPANIES WORKING HARD TO MEET MARKET DEMAND

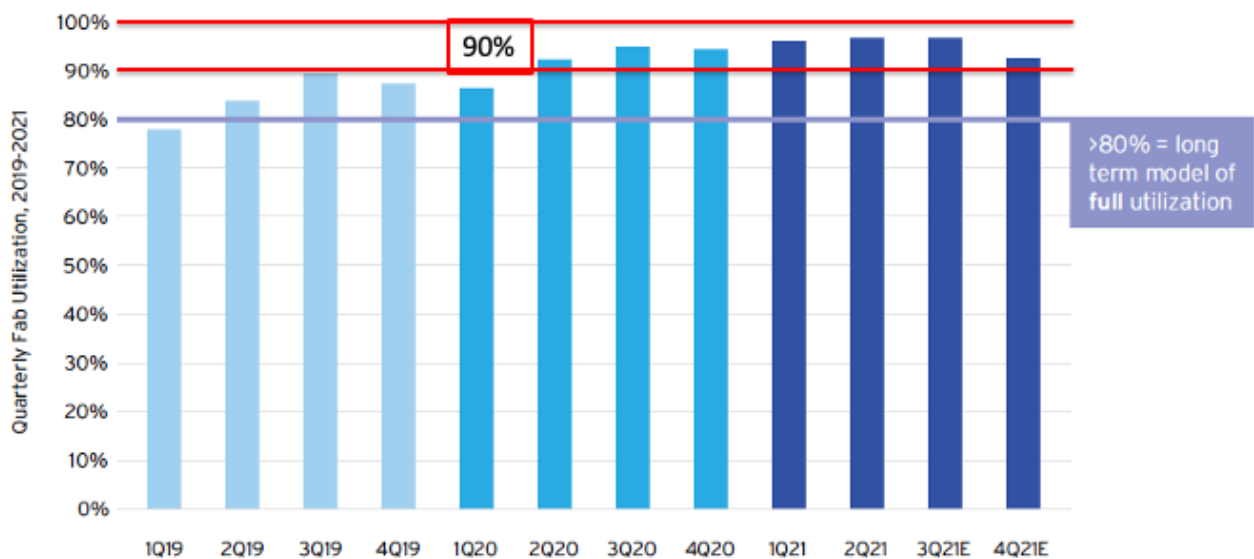


Figure ES5 工場の利用率は2021年には95%を上回った

半導体の利用者は、2020年の不足分を埋めるため、そして2022年から2023年にかけて必要になる半導体をあらかじめ入手するために、膨大な量を注文した。これにより、2022年に世界で前例のない複雑な事態が生じることで予期しない状況に陥ったとしても、再度半導体が不足するリスクを回避しようとしたのである。他方、複数の半導体メーカーは2021年同等、あるいはそれを上回る成長に大いに意欲を見せており、2022年から2023年にかけて、歴史的な成長率を超えようとしている。半導体部品は世界経済において際立った役割を果たしていたこともあり、これまでの傾向をはるかに上回る設備投資の急激な拡大につながった。このような楽観的な見立てによる設備投資のために、半導体は不足状態から供給過剰に陥り、過去には売価が下落したこともある状態となった。エレクトロニクス業界はこうした半導体製造の波に、タイムリーに対処できるだろうか。状況は予断を許さない。(詳細はFigure ES6を参照のこと)

2016-2022F IC Industry Capacity Trends (200mm Equivalents)

Year	Total IC Wafer Capacity (M)	IC Wafer Capacity % Chg	Total IC Wafer Starts (M)	IC Wafer Starts % Chg	Total IC Capacity Utilization
2016	178.9	4.0%	161.5	4.9%	90.3%
2017	190.5	6.5%	175.8	8.9%	32.3%
2018	201.6	5.8%	188.9	7.5%	93.7%
2019	209.8	4.1%	180.0	-4.7%	85.8%
2020	223.5	6.5%	191.1	6.2%	85.5%
2021	242.5	8.5%	227.5	19.0%	93.8%
2022F	263.6	8.7%	245.1	7.7%	93.0%

Source: IC Insights, Knometa Research, WSTS, SIA

Figure ES6 IC ウェーハのキャパシティは2021年と2022年に年率8%を上回る成長を達成

パンデミックのために2020年にチップが不足し、自動車の出荷量に大いに影響を及ぼした。こうした問題はほぼ解消された。サプライチェーンにはいくつかの課題がなお残るものの（キャパシタやダイオードなど）、

8 序論

2021年にはほとんどの半導体製造拠点で95%近い工場利用率を実現したことにより出荷量が強化され、非常に力強い回復率を達成した。(詳細はFigure 7A および 7Bを参照のこと)

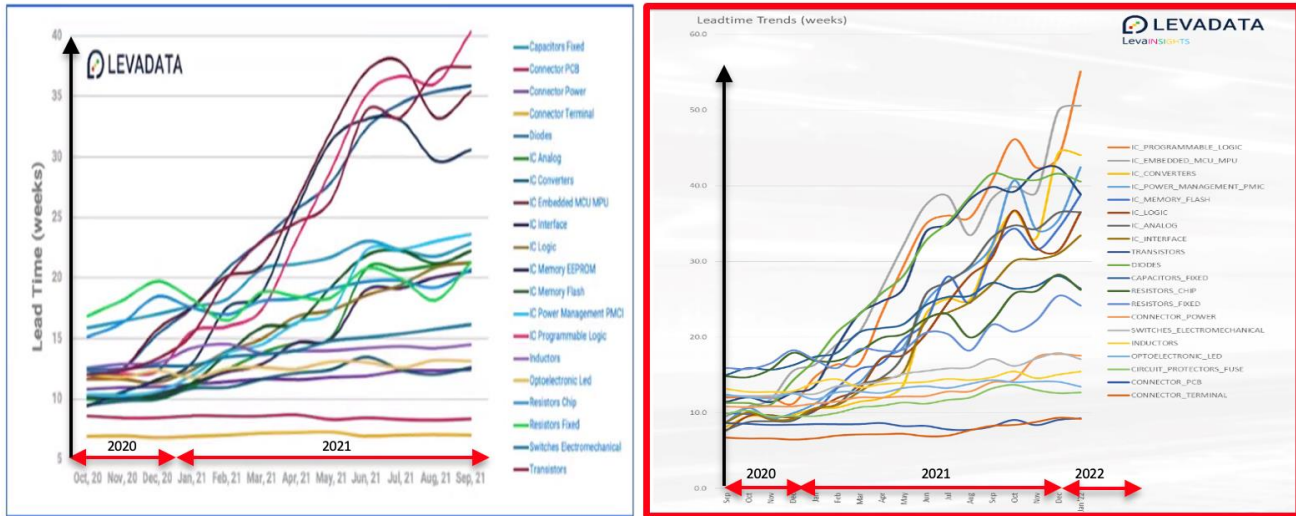


Figure ES7

A. 半導体の供給は回復したが、他の多くの品目はサプライチェーンに未だに大きな遅れが見られる

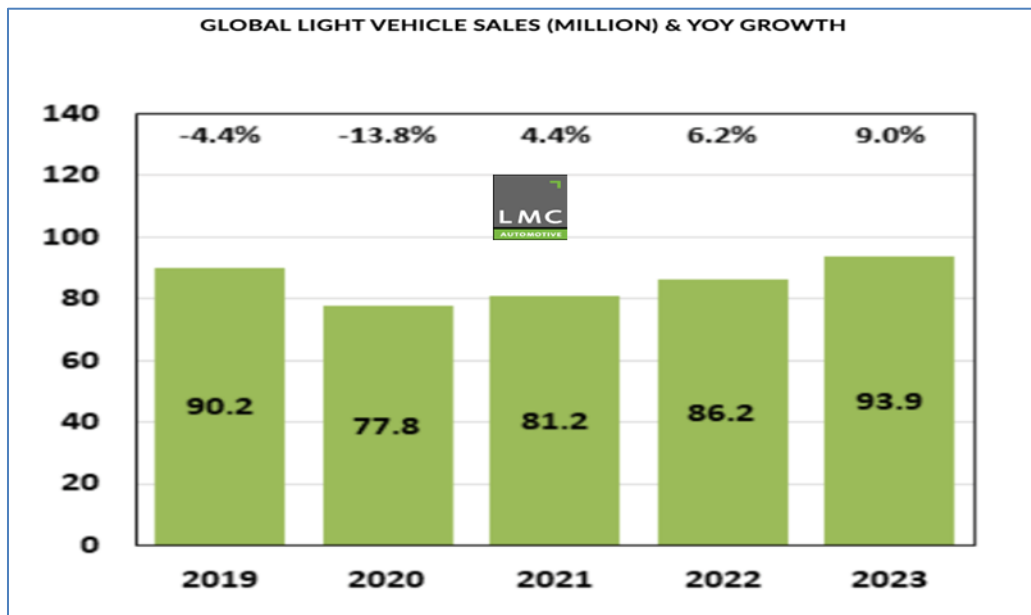
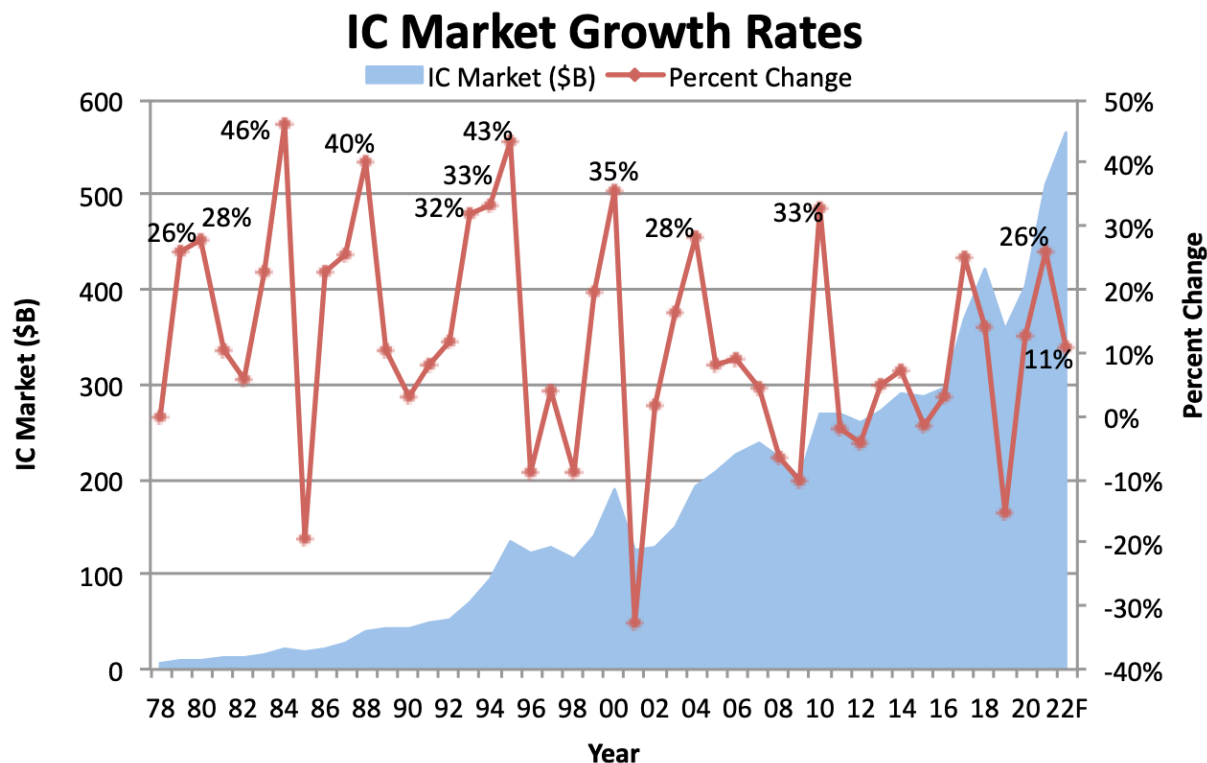


Figure ES7

B. 自動車の出荷量は順調に回復しつつある

2021年のICの総合的な売上高は26%の成長により初めて5,000億ドルを超えた。2022年にも引き続き健全な成長率である11%を達成すると見込まれる。半導体業界の現時点での大きなリスクは、遠くない未来に生じる可能性のある供給過剰である。2002年や2007～2009年にも起きたこの問題が再現されるかもしれない。詳細はFigure ES8を参照のこと。



Source: IC Insights

Figure ES8 半導体の成長率の予測は、上昇と下落を繰り返すと見られる

オプトエレクトロニクスを利用し、インターネットに接続された動画センサはインターネット利用率上昇の大きな要因であるが、その逆もまた真である。OSD（オプトエレクトロニクス、センサ/アクチュエータ、個別半導体のこと。集積回路以外の半導体デバイスの総称、Optoelectronic, sensor/actuator, discrete）の売上高は、2021年に初めて1,000億ドルを超えた。センサとアクチュエータの売上高は、2021年に26%成長している。この傾向が確かなものであることは、これらの部品の売上高が2011年から2021年にかけて、全世界で

倍増している事実からも分かる。OSDの総合的な売上高は、2022年も引き続き11%の水準で成長すると見込まれる。詳細はFigure ES9を参照のこと。

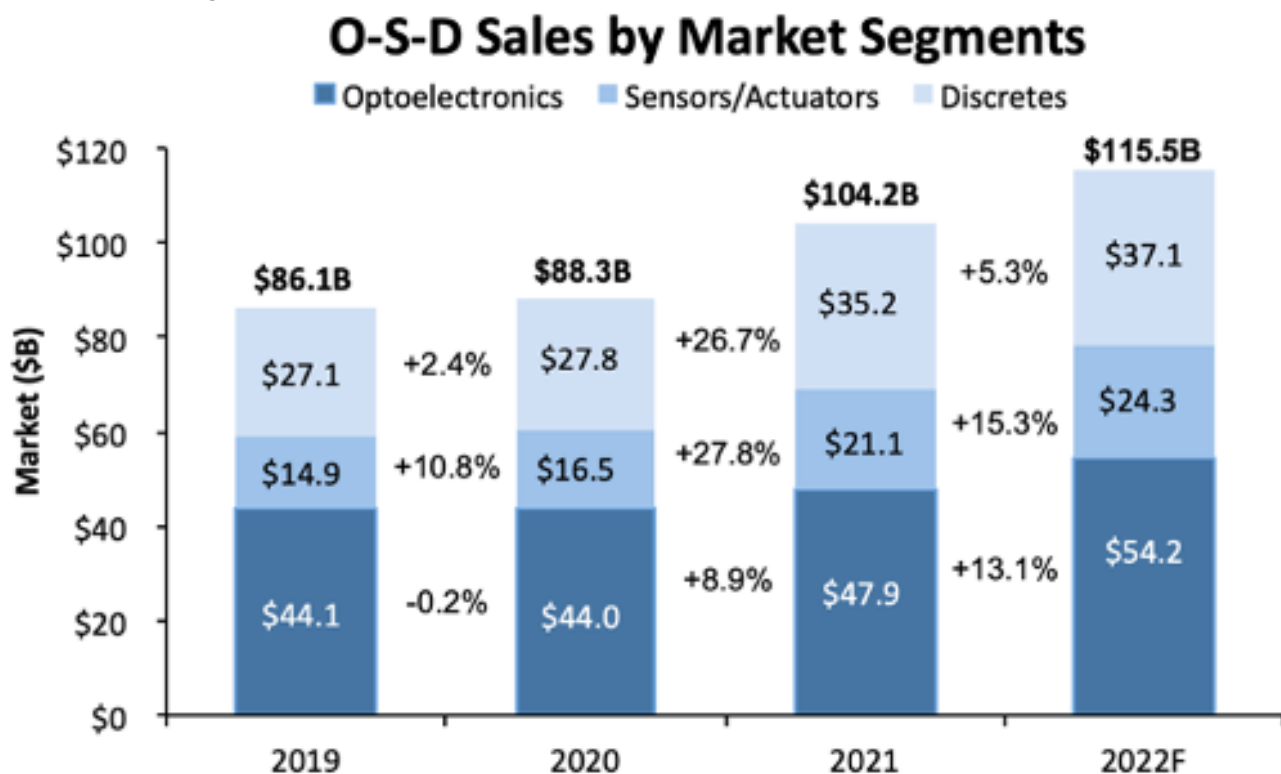
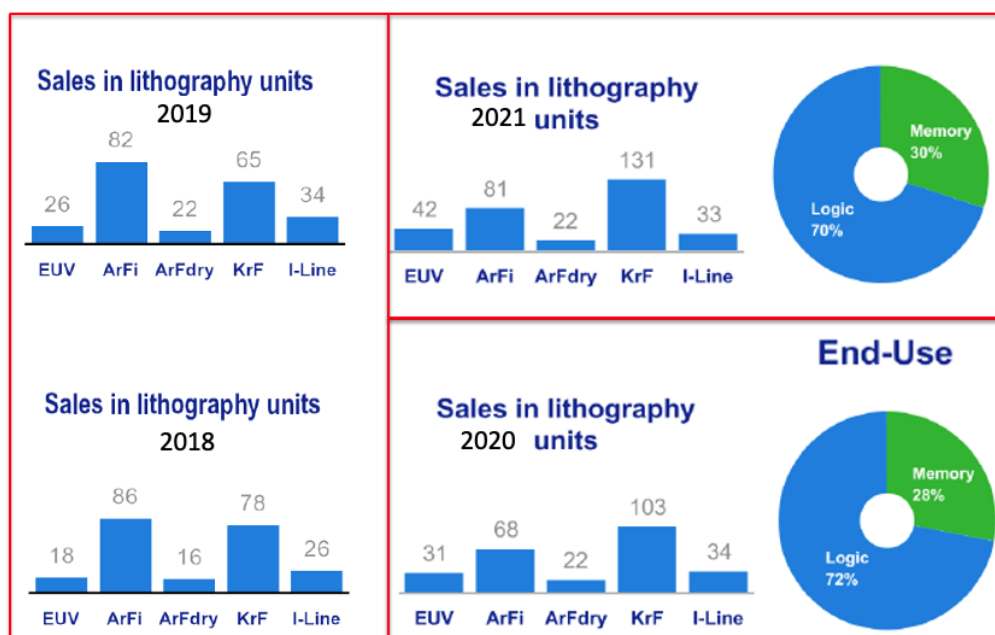


Figure ES9 オプトエレクトロニクスは過去10年間で13%のCAGRで成長している

EUV（極端紫外光、Extreme ultraviolet）リソグラフィシステムの出荷量は、ロジック企業による急速な導入により、2021年に31%の成長を達成した。EUVリソグラフィは、193 nm液浸ツールを使って複数回露光が必要なマスクの層の数を低減させる、魅力的な方法を実現する。EUV技術はプロトタイプから商用ユニットになるまでに、記録的とも言える時間がかかっている。1996年に登場し、EUVLLC（EUV Limited Liability Corporation）のスポンサーで2001年に初のデモツールであるETS（エンジニアリングテストスタンド、Engineering Test Stand）が構築された。2006年に研究用プロトタイプ2点が登場し、2012年には光源メーカーが露光装置メーカーによって取得された。その後2017年ようやく11の製造ユニットが初めて出荷された。このように、導入までに非常に時間がかかった。全部で128のEUVユニットは2017年以降に発売された。現在のEUVツールのレンズのNA（開口数、Numerical aperture）は0.33だが、0.55のNAを持つツールの設計が進んでおり、今後も進化していくと見られる。詳細はFigure ES10を参照のこと。



出典：ASML、2018～2022年決算報告

Figure ES10 EUV リソグラフィスキャナーの出荷は2021年も引き続き成長

業界の技術は、2020～2022年のIRDSの予測と一致して、総合的に成長が継続すると見られる。金属配線層のハーフピッチ（90年代初頭にロードマップのプロセスが開始されて以来唯一の技術ノードの指標）は昨年15nmに達し、今年には12nmを実現すると期待されている。EUV技術は今後10年以内に、金属配線層のハーフピッチのスケールアップが約8nmを達成する助けになるだろう。かねてより期待されていたロジックのGAA（ゲートオールアラウンド、Gate all around）トランジスタへの移行は、2025年に向け順調に進んでいる。2025年は、ロジックの完全な3Dデバイスアーキテクチャへの移行の最終段階となるだろう。以前にはこれと同様に、2013年版ITRSで予測されたフラッシュメモリの移行が2015年に起きている。現在フラッシュ製品は、製造において200近いメモリセルレイヤを搭載している。詳細はFigure ES11A-Eを参照のこと。

YEAR OF PRODUCTION	2022	2025	2028	2031	2034	2037
	G48M24	G45M20	G42M16	G40M16 T2	G38M16 T4	G38M16 T6
Logic industry "Node Range" Labeling	"3nm"	"2nm"	"1.5nm"	"1.0nm eq"	"0.7nm eq"	"0.5nm eq"
Fine-pitch 3D integration scheme	Stacking	Stacking	Stacking	3DVLSI	3DVLSI	3DVLSI
Logic device structure options	finFET LGAA	LGAA	LGAA CFET-SRAM	LGAA-3D CFET-SRAM	LGAA-3D CFET-SRAM	LGAA-3D CFET-SRAM
Platform device for logic	finFET	LGAA	LGAA CFET-SRAM	LGAA-3D CFET-SRAM-3D	LGAA-3D CFET-SRAM-3D	LGAA-3D CFET-SRAM-3D
LOGIC DEVICE GROUND RULES						
Mx pitch (nm)	32	24	20	16	16	16
M1 pitch (nm)	32	23	21	20	19	19
M0 pitch (nm)	24	20	16	16	16	16
Gate pitch (nm)	48	45	42	40	38	38
Lg: Gate Length - HP (nm)	16	14	12	12	12	12
Lg: Gate Length - HD (nm)	18	14	12	12	12	12
Channel overlap ratio - two-sided	0.20	0.20	0.20	0.20	0.20	0.20
Spacer width (nm)	6	6	5	5	4	4
Spacer k value	3.5	3.3	3.0	3.0	2.7	2.7
Contact CD (nm) - finFET, LGAA	20	19	20	18	18	18
Device architecture key ground rules						
Device lateral pitch (nm)	24	26	24	24	23	23
Device height (nm)	48	52	48	64	60	56
FinFET Fin width (nm)	5.0					
Footprint drive efficiency - finFET	4.21					
Lateral GAA vertical pitch (nm)		18.0	16.0	16.0	15.0	14.0
Lateral GAA (nanosheet) thickness (nm)		6.0	6.0	6.0	5.0	4.0
Number of vertically stacked nanosheets on one device		3	3	4	4	4
LGAA width (nm) - HP		30	30	20	15	15
LGAA width (nm) - HD		15	10	10	6	6
LGAA width (nm) - SRAM		7	6	6	6	6
Footprint drive efficiency - lateral GAA - HP		4.41	4.50	5.47	5.00	4.75
Device effective width (nm) - HP	101.0	216.0	216.0	208.0	160.0	152.0
Device effective width (nm) - HD	101.0	126.0	96.0	128.0	88.0	80.0
PN seperation width (nm)	45	40	20	15	15	10

Figure ES11 A. デバイスは今後5年間、積極的な微細化を継続する。ロジックの3D構造への移行時期は引き続き2025年をターゲットとする。

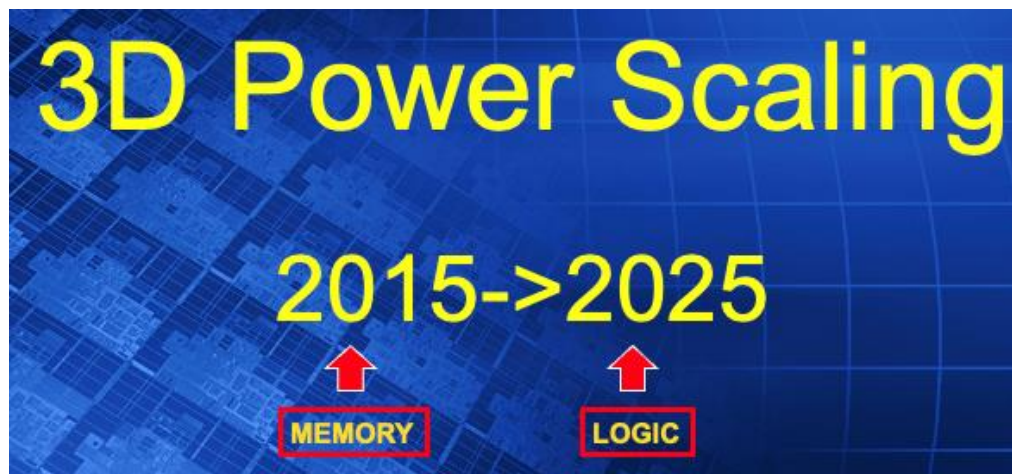
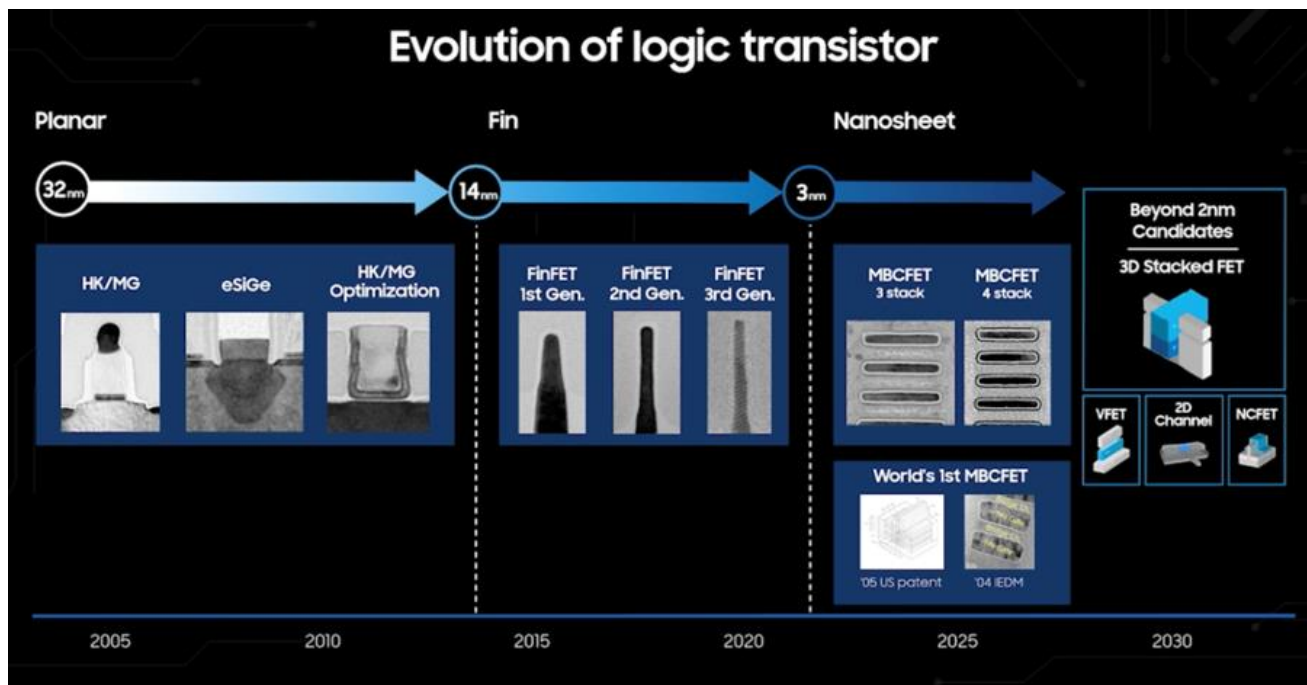
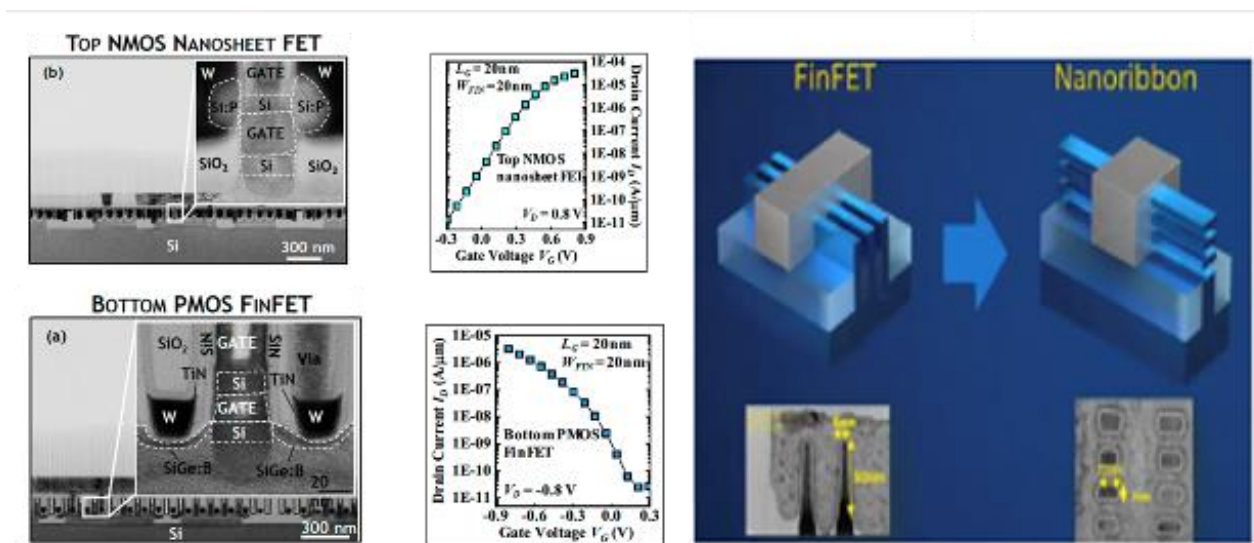


Figure ES11 B. NANDフラッシュメモリおよびロジックのデバイスアーキテクチャは、2013年版ITRSでの予測通り、2Dから3Dへの移行を進めている。



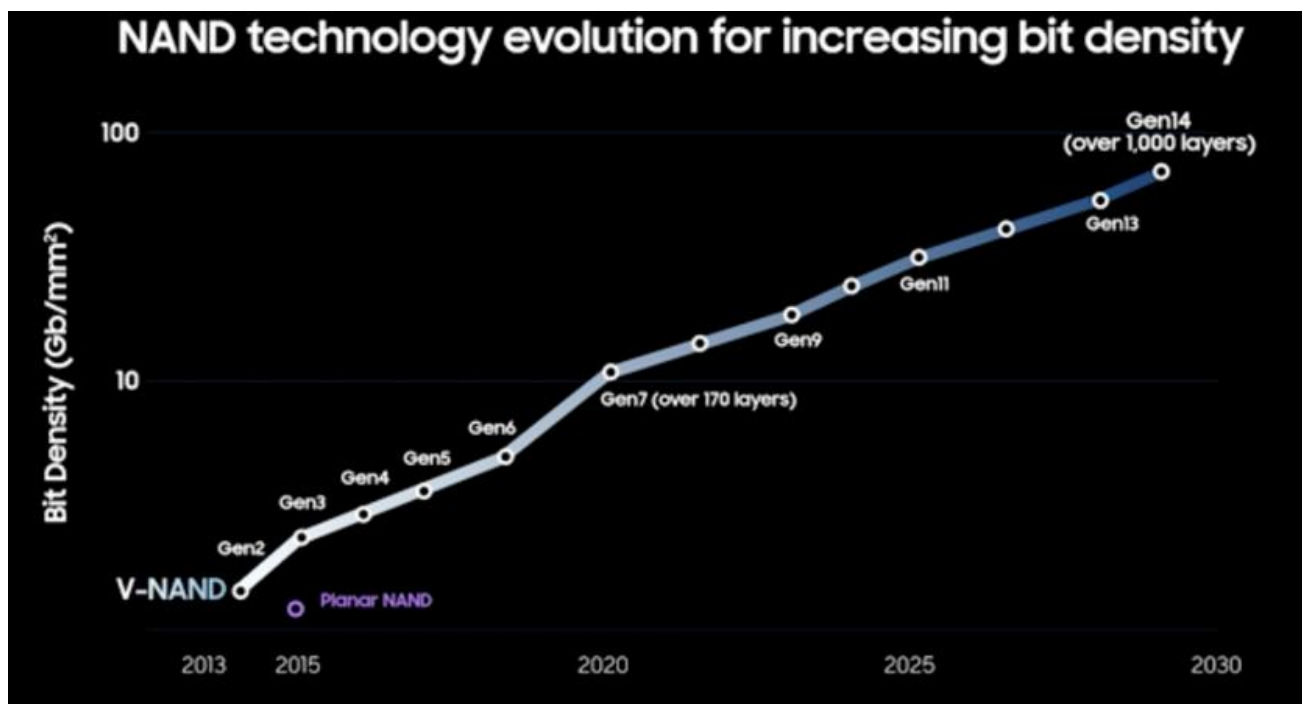
出典：Intel 投資家ミーティング、2022 年

Figure ES11 C. トランジスタの 2003～2025 年の進化：2D 等価的スケーリングから 3D パワースケーリングへ



出典：IMEC および Intel

Figure ES11 D. 縦型トランジスタとナノリボンは次第にロジック技術に適用される

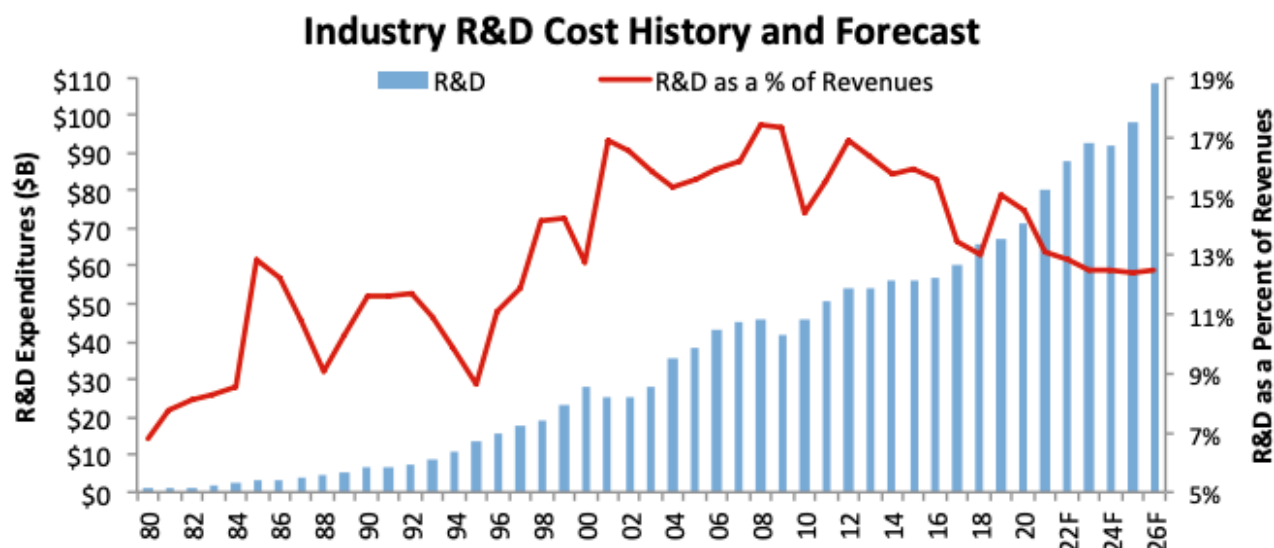


出典： Samsung

Figure ES11 E. 3D NAND の進化：2025 年には32層、2030 年までには1000層超へ

半導体業界が製造においてウェーハのサイズの200 mmから300 mmへの移行を進めていた2000年から2011年の間、R&D費は劇的に増大し、収益の15%という危険な水準を上回っていた。さらに、歪シリコン、high- κ /メタルゲート、FinFET（フィン型電界効果トランジスタ、Fin field-effect transistor）などの革新的な技術の導入により、多くの企業のR&D費用は危険なほどの高水準に突入した。しかし、2011年から2014年の間に、これらの主要な移行は全て完了した。技術的な複雑さは増しているにもかかわらず（高額で革新的な新技術を導入したからというより、主にプロセスのステップ数が増えたことによる。特にマスク数の急増が要因である）、R&D費は下落傾向が続いている。最近ではEUVへの移行により、R&D費は収益の15%をはるかに下回る

額を維持している（主に、複数のマスク/層が一元化されたことにより数が劇的に減少したため）。このような傾向は、少なくとも今後 4~5 年間続くと見られる。詳細は Figure ES12 を参照のこと。



出典：IC Insights

Figure ES12 R&D 費は制御可能な範囲を維持

TSMC や Samsung による新しいロジック技術の導入スピードは、過去 4 年間で加速した。EUV リソグラフィの導入により、こうした加速傾向は継続すると見られる。詳細は Figure ES13 を参照のこと。

Logic/Foundry Process Roadmaps (for Volume Production)

	2016	2017	2018	2019	2020	2021	2022
Intel	14nm+	10nm (limited) 14nm++		10nm	10nm+	10nm++	7nm EUV
Samsung	10nm		8nm	7nm EUV 6nm EUV	18nm FDSOI 5nm	4nm	3nm GAA
TSMC	10nm	7nm 12nm		7nm+ EUV	5nm 6nm	5nm+	4nm 3nm
GlobalFoundries			22nm FDSOI 12nm finFET		12nm FDSOI	22nm+ FDSOI 12nm+ finFET	
SMIC				14nm finFET	12nm finFET		8-10nm finFET
UMC		14nm finFET			22nm planar		

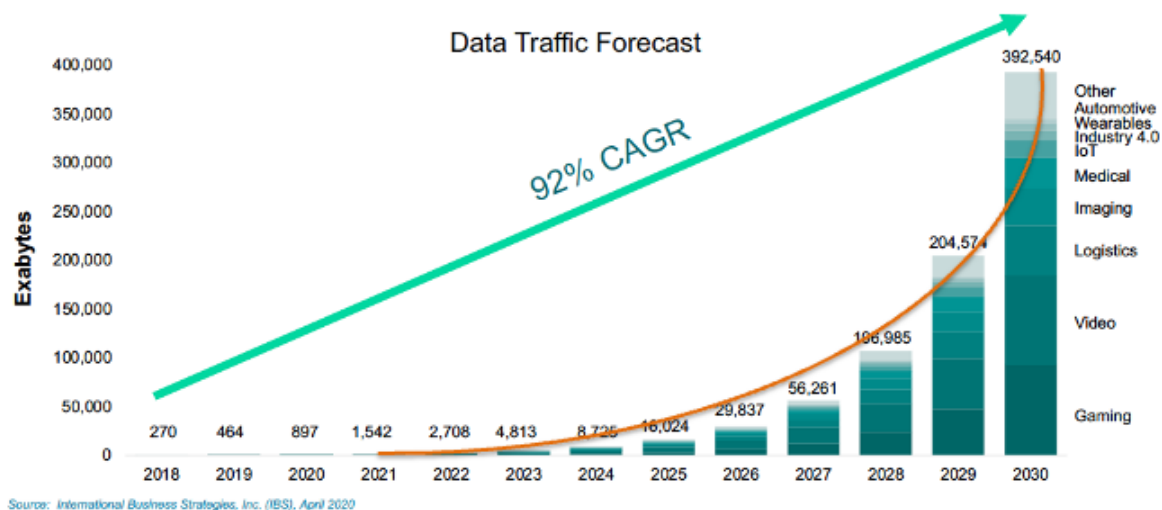
Note: What defines a process "generation" and the start of "volume" production varies from company to company, and may be influenced by marketing embellishments, so these points of transition should only be seen as very general guidelines.

出典：各社からの情報、会議報告書、IC Insights

Figure ES13 EUV 技術により微細化の進化は継続する

初期には、インターネットによりEメール通信が広く利用されるようになり、やがて写真、動画、データのストリーミングが活性化した。しかし、インターネット普及の指標として最も適切なものは、ビジネス界における導入率の推移である。これらの機能が産業界や消費者に広く活用されるようになった結果、より高いデータレートへの需要が増大している。レートは2018年から2030年で倍増すると見られる。(詳細はFigure ES14を参照のこと)

Exponential data traffic, enabled by machine-to-machine communication



出典：International Business Strategies, Inc.

Figure ES14 通信トラフィックは予測可能な範囲において、毎年約2倍成長していく

ハイパースケールデータセンタは、引き続きインターネットの情報リポジトリとなる。投資は過去5年間で2倍以上増えた。詳細はFigure ES15を参照のこと。

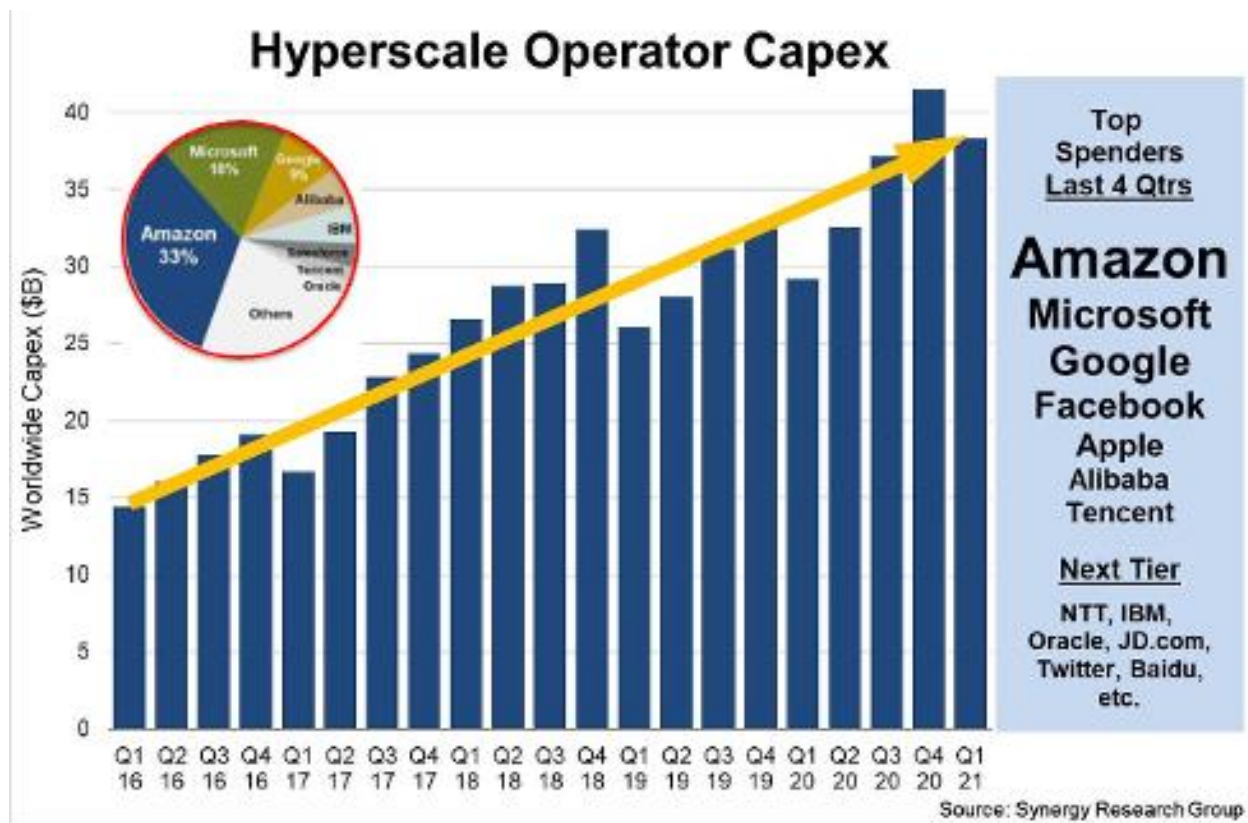


Figure ES15 ハイパーデータセンタへの投資額は5年間で倍増

BCデバイスの研究は引き続き順調に進展している。複数の新デバイスの性能は、改善を続けている。詳細はFigure ES16を参照のこと。(さらに詳しい情報については、2022 Beyond CMOS Chapterを参照のこと)

TFET Performance is Moving Close to the Target!

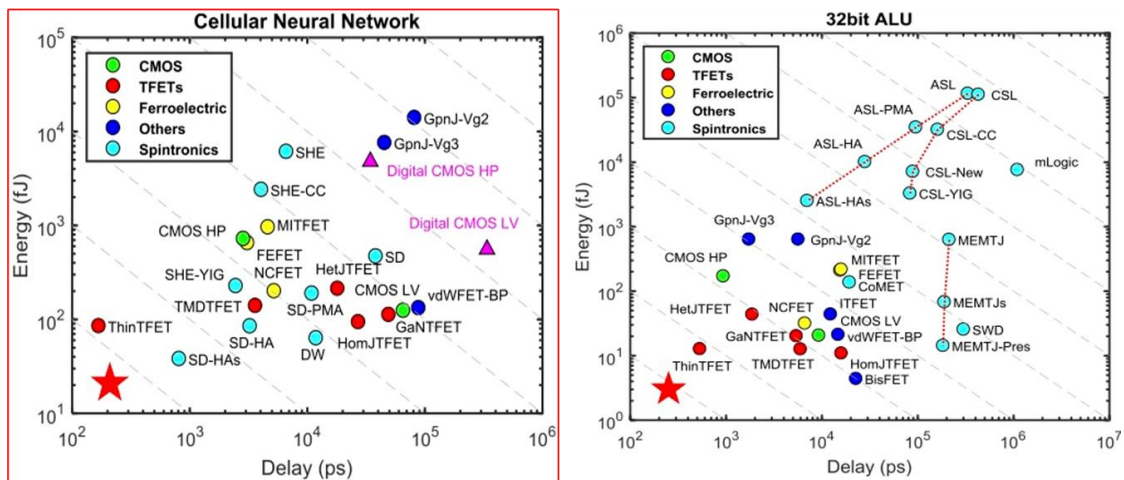


Figure ES16 BCデバイスの性能は目標値に向け改善を続けている

将来性が見込まれる量子コンピュータ実装の多くは、 -273°C ほどの低温で動作する。この制約のために消費者はQCモバイルデバイスをポケットに入れて持ち歩くことはできず、広範囲に及ぶ強力な5G/6Gネットワークを利用して、データセンタの情報や量子センタの計算機能に遠隔からアクセスする必要がある。このような2030年以降に向けたビジョンは、IRDS および IEEE INGR (International Network Generations Roadmap) がサポートしている。詳細は Figure ES17 を参照のこと。

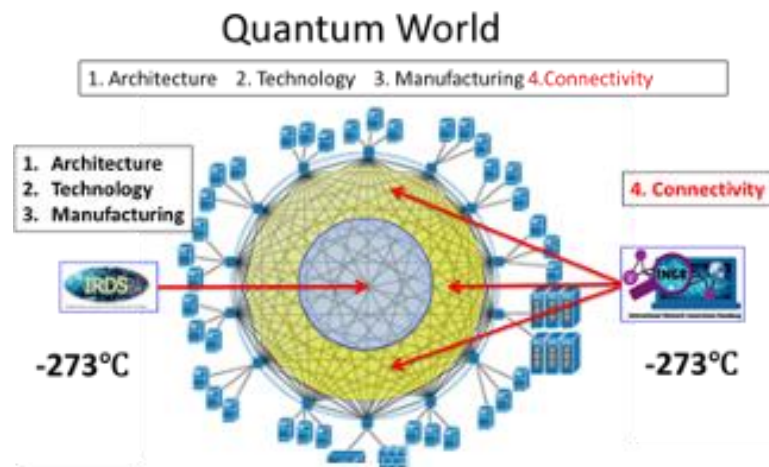


Figure ES17

量子センタはユビキタスアクセスのために高速ネットワークが必要

1.2. エレクトロニクス業界の新しいエコシステム

1.2.1. 全体像

コンピュータ業界と半導体業界は、60年間にわたって共にエレクトロニクス業界の成長を促してきた。この2つの業界の力により、速度に優れ、小型で安価なコンポーネントを製造できるようになり、より大規模、迅速、かつ強力な計算機械を次第に実現してきたのである。ソフトウェア業界のトップ企業との緊密な協力により、ハードウェアとソフトウェアの連携が容易になり、関係性が強化された。1980年台に企業へのPC（パーソナルコンピュータ、Personal computer）導入が進むと、その直後1990年台には消費者によるPCやノートPCの利用が拡大した。これらの機器は計算能力を持ち、いくぶん扱いづらいケーブルによってインターネットに接続することもできた。1998年に2.4 GHz（ギガヘルツ、Gigahertz）のWi-Fiが導入されるとこうした問題が解消され、社内のどこからでも、ほぼ即時でインターネットに接続できるようになったことで、従業員の生産性が向上した。その頃には消費者はすでに携帯電話に依存するようになり、さらなる技術の進歩に向けた準備が整っていた。5 GHzの動作周波数が新たに導入されたのは2009年のことである（802.11ac）。続いて5.925 GHz および7.125 GHzのレンジで動作するWi-Fi6（802.11ax）が2021年に導入された。Wi-Fi6では9.6 Gbit/秒のデータ伝送速度にも対応できる。¹

携帯電話とWi-Fi対応のノートPCにより、特にビジネス界では「外出先でも働く」スタイルがすでに生み出されていたが、モバイルデバイスの導入においては、消費者もこれにすぐ追随する姿勢を示した。その間、携帯電話内部の電子機器のサイズはムーアの法則に導かれるように縮小を続けた。フォームファクタが縮小された1990年台の新しい携帯電話では、一般的に2×5インチのサイズだったが、2000年はじめには1×2インチのフォーマットとなった。現時点から当時を振り返れば当然と思われるかもしれないが、このことにより、初期の携帯電話は大量の電子機器を搭載できる可能性のある大きなスペースを持つことが示されたのである。そして2007年、iPhoneがこれを実践した。今や、たった1台のデバイスで、これまで消費者がPC、ノートPC、携帯電話、ビデオプレーヤー、その他さまざまなもの（本、歌、写真など）を使って行ってきたあらゆることを実行できるのである。PCとノートPCの売上高は、2011年以降下落を続けている。しかし2020年にパンデミックが起きると、通信手段として何らかのPCを使うことを余儀なくされた多くの新規ユーザが、この傾向に逆行するようになった。これにより、PCの

¹ <https://standards.ieee.org/ieee/802.11ac/4473/>

売上高は2020年に11%上昇した。2021年にも同様の傾向が見られ、売上高は18%成長した。詳細はFigure ES18を参照のこと。しかし、2022年には成長率は5%下がると予測されている。詳細はFigure ES2を参照のこと。

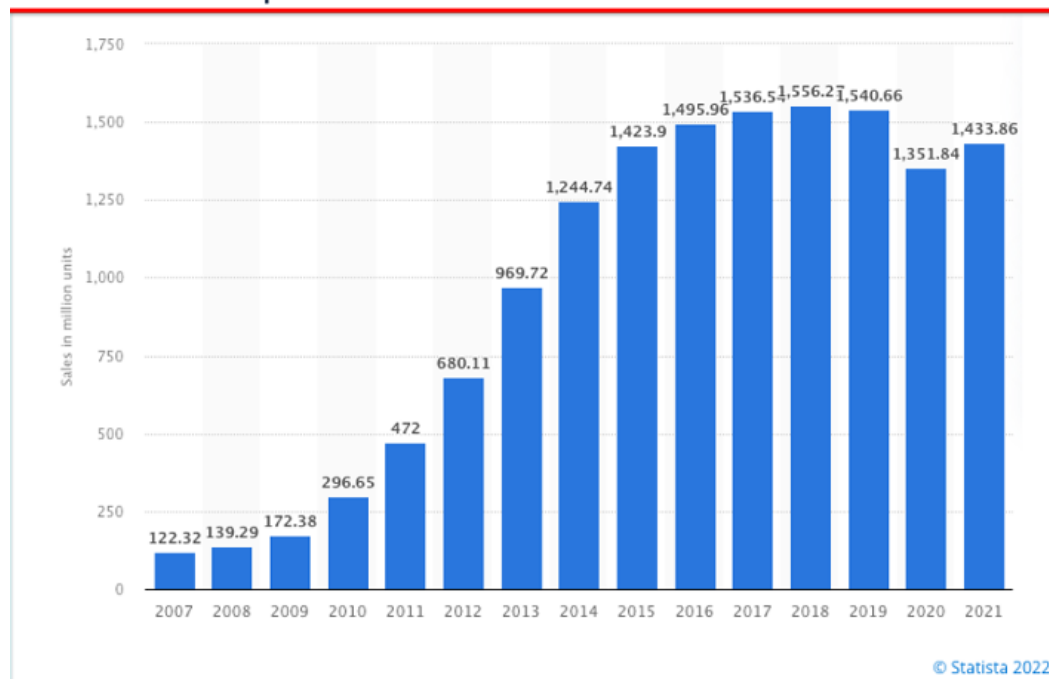


出典：Canalysによる予測（卸売りの出荷、PC Analysis、2021年1月）

Figure ES18 パンデミックにより、2020～2021年にPCの売上高は上昇した

他方、スマートフォンの販売台数は2007年の販売開始時には約1億2,200万台だったが、2017年には15億台へと急増し、その後も同水準の販売台数を維持している。2020年に販売台数が初めて大きく下落したが、2021年にはある程度回復した。（詳細はFigure ES19を参照のこと）

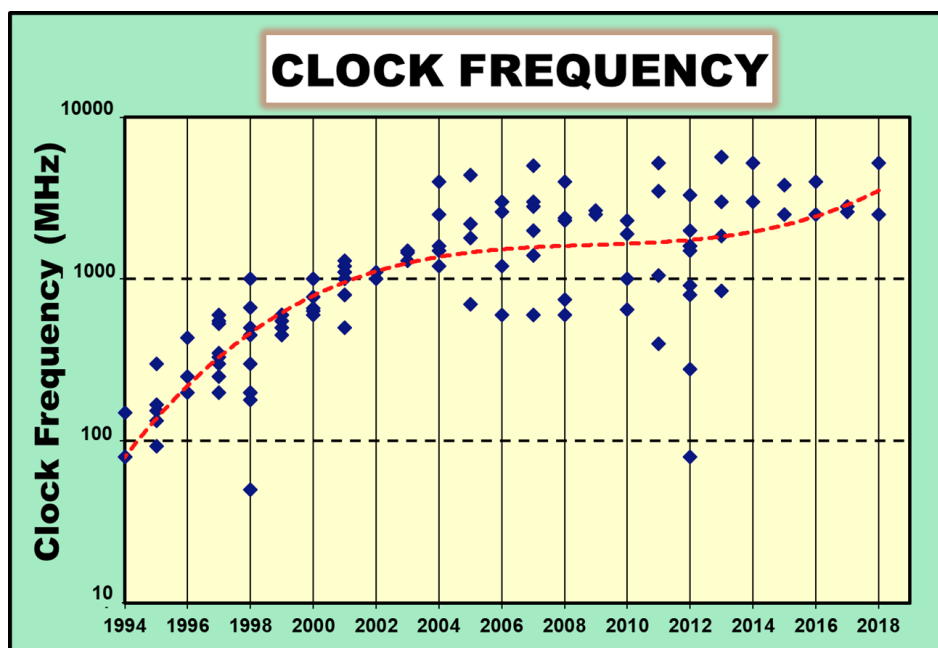
Number of smartphones sold to end users worldwide from 2007 to 2021



出典：Statista

Figure ES19 スマートフォンの販売台数は2020年に下落した

また、マイクロプロセッサの消費電力は 2010 年台半ばまでに 120~130W の限界に達した。しかし、シングルコアからマルチコアにアーキテクチャを変更し、並列動作に対応したことで、こうした問題は緩和された。ただしこのようなアーキテクチャの変更にもかかわらず、過度の電力損失による動作時の問題を回避するため、最大周波数は 10GHz (Figure ES20) を上回ることはないよう、制限する必要が生じた (詳細は Section 5 を参照のこと)。



出典：ISSCC、2019 年

Figure ES20 クロック周波数はパワーウォールにより 10GHz 未満に制限された

その後数年でマルチコアアーキテクチャを導入したことにより、計算性能はある程度改善されたが、マイクロプロセッサは本質的には直列処理と並列処理を切り替えることで動作する。この結果、性能はそれまでのように 2 年ごとに倍増することはなくなった。マイクロプロセッサのオペレーションを 100%の並列アプローチに完全に適合させることは不可能であると次第に明らかになると方針が転換され、本質的に 100%並列のアプリケーションを見つけることは可能かどうか焦点となった。こうしたコンセプトは、1980 年に提唱されたニューロモルフィックコンピューティングというアーキテクチャと直ちにつながるようになった。このアーキテクチャでは、電子アナログ回路を搭載した VLSI (超大規模集積回路、Very large scale integration) システムを活用し、神経系に見られる神経生物学的アーキテクチャを模倣することを提案している。ニューロモルフィックエンジニアリングで重要なのは、個々のニューロン、回路、アプリケーション、全体的なアーキテクチャの形態がどのように望ましい計算を実現し、情報の表現方法に影響を及ぼし、損傷に対する堅牢性に作用し、学習と発達を組み込み、局所的な変化 (可塑性) に適応し、進化的な変化を促進するかを理解することである。たとえば酸化物系メモリスタ、スピントロニクスメモリ、しきい値スイッチ、トランジスタなどは、ニューロモルフィックコンピューティングのハードウェアレベルでの実装を簡単に実現できる。どのアプリケーションがこのアーキテクチャに最適かという問いに答えるべき時が来ている。

最後に分かりやすい例を紹介したい。2007 年時点では、物体認識における一般的に人間の誤り率が約 5%であるのに対し、システムは約 28%となっており、一般的な対象をデータベースと比較し認識する能力はかなり制限されていた。しかし複数のニューロモルフィックアルゴリズムがこのような誤りを次第に減らし、2017 年には 2.3%と人間の誤り率を下回る水準に達したのである。このような進化は、バイオメトリクス市場の世界的な成功につながった。AI/ML (人工知能、Artificial intelligence/機械学習、Machine learning) によりコンピュータの動作には引き続き変革をもたらされ、顔認識の市場は 2022 年に約 7 億ドルに達すると見られている。

AI/ML はコンピュータの動作に引き続き変革をもたらす。機械による顔認識は誤り率 2%以下を達成し、一般的な人間の誤り率 5%を下回ることになり、人間より優れていることが示された。

このような状況下で、顔認識の市場は 2022 年に約 7 億ドルに達すると見られている。詳細は Figure ES21 を参照のこと。

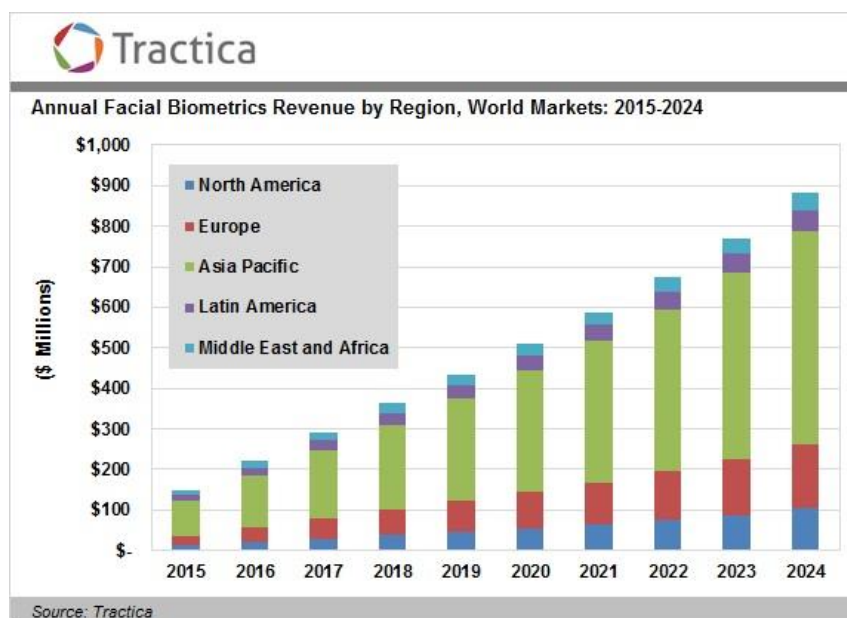


Figure ES21 顔認識は社会のセキュリティの本質的要素となりつつある

優れた回路のアーキテクチャ、寸法を減少させるスケーリング、歩留の高い大型ダイは、1960 年台半ばから現在に至るまで、ムーアの法則の基礎となっている。ウェーハ上の形状の小型化を継続的に実現するためには、リソグラフィ露光ツールをタイミングよく導入し、そのレンズの NA の改善や光源の波長の抑制を連続的に実現することが必要であった。しかし、2 年ごとに新しい技術を絶えず導入することで機器コミュニティは疲弊し、サプライヤが新しいツール向けに提供する、193 nm 未満の露光波長を使うことのできる技術も尽きてしまった。1997 年、EUV LLC は Intel 主導のもと、13.5 nm の光で動作する露光ツール（EUV のカテゴリに分類される）の開発に関する研究を開始した。完全に稼働可能な初のプロトタイプの実演は、2001 年 4 月に行われた。しかし、EUV ツールの開発のペースは非常にゆっくりとしたものだった。主な制約事項は、電源が数ワットの範囲でしか動作しないことであった。経済的に実行可能な水準に十分到達しうる速度でウェーハを露光するためには、数百ワットの電源が必要である。こうした問題に直面した半導体メーカーは、必要なラインアンドスペースを作るためにパターンの組み合わせを用いることで、複雑な製造プロセスにおいて 1 度以上、複数レイヤーを露光する必要が生じた。

2017 年、200 ワットを提供できる実用性のある EUV 光源がついに導入され、11EUV ユニットが出荷された。2018 年には、複数のパイロットラインが採用された。2022 年には、大容量の製造ラインで 42 の EUV ツールが提供された。ASML によると、2021 年にこれらのツールは、シングル露光で 30 nm ピッチのラインアンドスペースを解像できるようになった。2021 年末、ASML は合計 128 の EUV ユニットを出荷した。すなわち、今年（2022 年）半導体業界は、技術ノードの適切な定義に基づき、12 nm 技術世代において推移するであろうということである。業界では、この技術世代は、「3 nm」世代と誤った呼称がされた（詳細は Section 1.2.2 を参照のこと）。詳細は Figure ES22 を参照のこと。

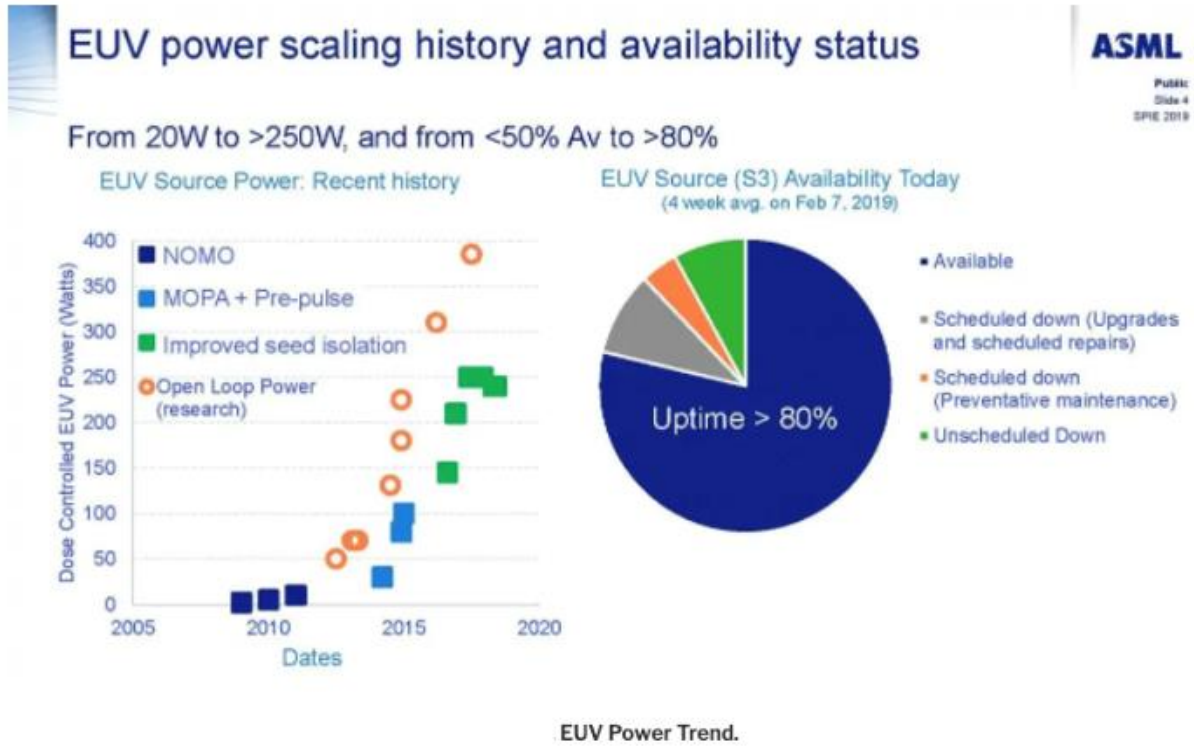


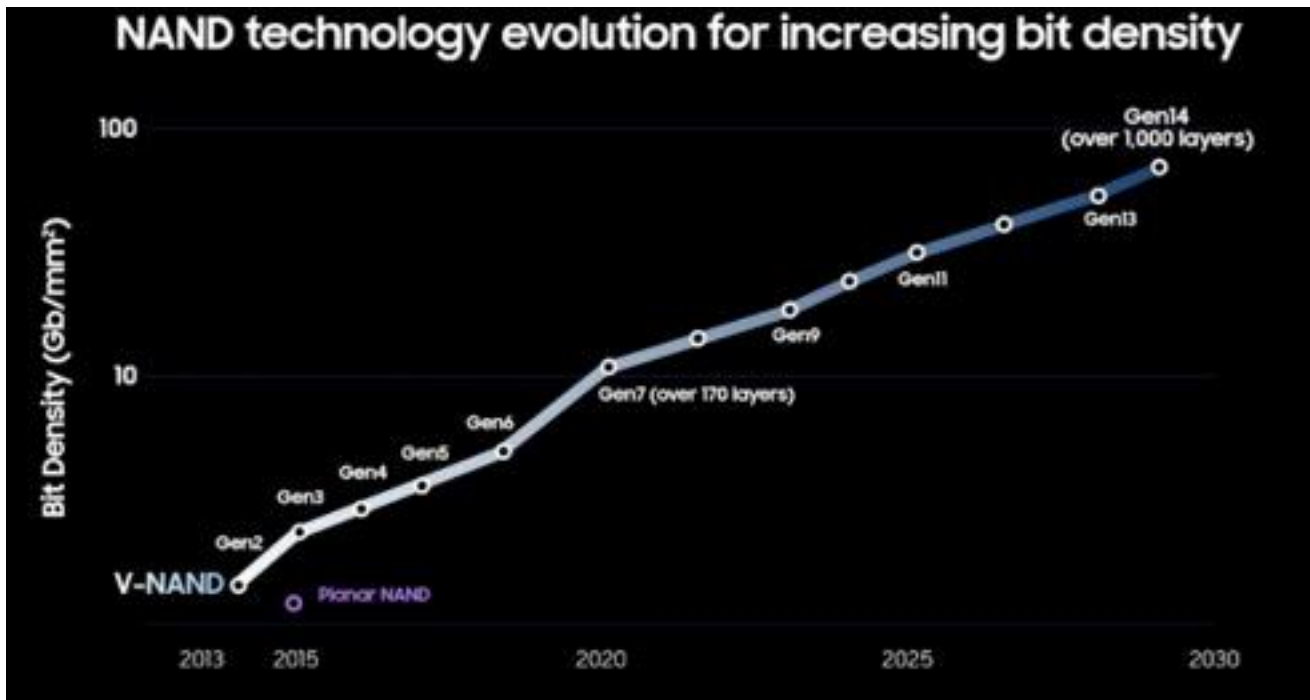
Figure ES22 200W を超える EUV 光源と 80% を超える稼働率により、製造過程への EUV 導入への道が開かれた

EUV シングル露光の登場以前には、半導体メーカーは多数の重要なレイヤーで望ましいピッチを得るため、複数回露光における解決法の実行を余儀なくされていた。

Intel's 10nm Metal Stack						
Layer	Metal	Pitch	Patterning	L	M	T
Fin		34 nm	Quad	1	4	4
Gate	Copper/Cobalt	43-54 nm	Dual	1	2	2
Metal 0	Cobalt	40	Quad	1	4	4
Metal 1	Cobalt	36	Quad	1	4	4
Metal 2, 3, 4	Copper	44	Dual	3	2	6
Metal 5	Copper	52	Dual	1	1	2
Metal 6	Copper	84	Single	1	1	1
Metal 7, 8	Copper	112	Single	2	1	2
Metal 9, 10	Copper	160	Single	2	1	2
Thick Metal 0	Copper	1080	Single	1	1	1
Thick Metal 1	Copper	11000	Single	1	1	1
				15		29

Figure ES23 複数の 193 nm リソグラフィを使用するマスク数は過去 5 年間で倍増した

このような解決策はウェーハ製造には極めて有効だが、複数回露光を必要とするレイヤーが増えるため、製造費用が継続的に増大していくことにもなった。一部のケースでは、マスク数は実質 2 倍となっている (Figure ES23)。また、このソリューションではより多くのツールを入手する必要があるため、製造費用はすぐに NAND メモリ生産者の目標費用額と乖離することとなった。そこでメモリメーカーは、非常に先進的かつ高価なリソグラフィを使用するのではなく、複数のメモリセルを互いに積み重ねて密度の目標を達成することにより、マスク数の増加を回避する新たな解決策を生み出す必要が生じた。ただし、約 200 のメモリセルを積層できることは実証されており、この 2~3 年で本トピックスを扱う複数の論文も提示されているが、このデバイススタッキングソリューションを製造工程で採用するロジック生産者はまだ現れていない。(詳細は Figure ES24 を参照のこと)



出典 : Samsung

Figure ES24 3D NAND の進化 : 2015 年には 32 層、2030 年までには 1000 層超へ

1.2.2 ノードの命名は一般的な方法へ回帰

1992 年から現在まで、技術ノードの命名法は、NTRS、ITRS、IRDS の定義に従っていた。技術ノードの名前は、一般的に集積回路内で最も密度の高いメタルレイヤーが利用する、最小のピッチの寸法の 2 分の 1 に関連付けられている。Figure ES25 は「最も狭いメタルレイヤーのピッチの 2 分の 1」というごく初期のノードの定義を示している。1970 年台、80 年台、および 90 年台の大半においては、最も狭いメタルラインのハーフピッチと、ゲート長の寸法は本質的に同じであったため、この値がノード名に選ばれた。単一の数字により密度の概念（メタルレイヤーのハーフピッチがトランジスタの密度と相関する）や性能の概念（ポリシリコンのゲートが短いほどトランジスタの速度が速い）を表すことができたためである。一般的に、新しい世代の技術が導入されると、これらの長さは、過去の世代の対応する寸法の 70% 相当の値まで短くなった。

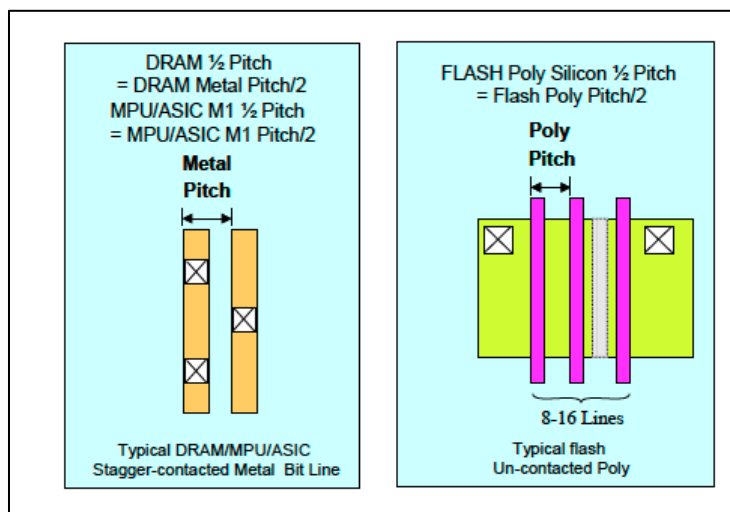


Figure ES25 当初の技術ノードの定義

1990 年台後半に消費者が PC を使い始めるようになると、新たな製品が登場するたび、トランジスタ密度や性能の向上が期待されるようになった。その結果、消費者の需要に応えるため、90 年台に登場したマイクロプロセッサ技術により、それまでの 3~4 年のサイクルから 2 年のサイクルへと加速が進んだ。ソフトウェアプログラムの大規模化、複雑化に伴い実行速度の向上が求められるようになると、高周波数で稼働する高速トランジスタを製造するため、より体系的かつ積極的にトランジスタのチャンネル長を前世代の 60%にまで短くする必要が生じた。このように競争が激化すると、(理論上は)より短縮されたと思われる最新技術と関連するノード名を定義する際、メタルのハーフピッチの長ささとゲートの長さの平均を採用する企業が数社現れた。平均値により命名する方法(メタルのハーフピッチを 70%、ゲート長を 60%短くすると、ノード名は実質 65%短縮されている)は、従来よりも積極的に仕様を示すことで、顧客の注意を惹きつけることができるためである。その後、技術ノードの名前にゲートの長さのみを用いる企業も現れた。最終的に技術ノードの名前は、前世代のノード名が何であれ、その 70%と定義されることとなった。(詳細は Figure ES26 を参照のこと)

Evolving Industry Node Definitions

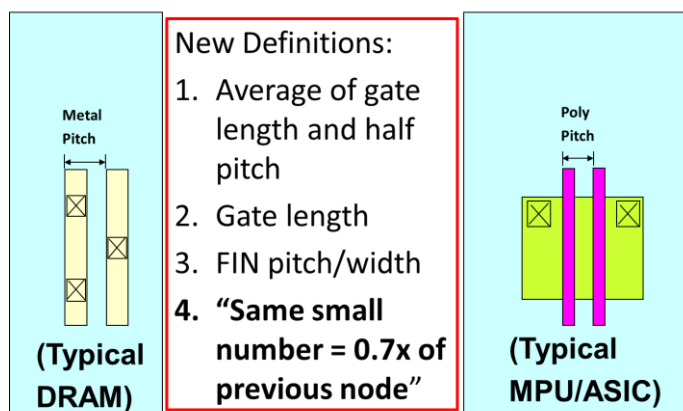


Figure ES26 技術ノードの定義への業界の「適合」

このような命名方法のために、集積回路の特徴的なパターン寸法と技術ノード名との関連性は全くなくなった。今のところ今、2020 年台のそう遠くない未来に 1 nm に満たない技術を導入すると発表している企業も存在する。そのため、基本に立ち返り、ノードの定義を復活させて、より現実に即した表現とすることは有益である。IRDS はノードについてより広範な定義を採用しているが、NTRS や ITRS の従来の定義との関連性も残している。これを図示したのが Figure ES27 である。

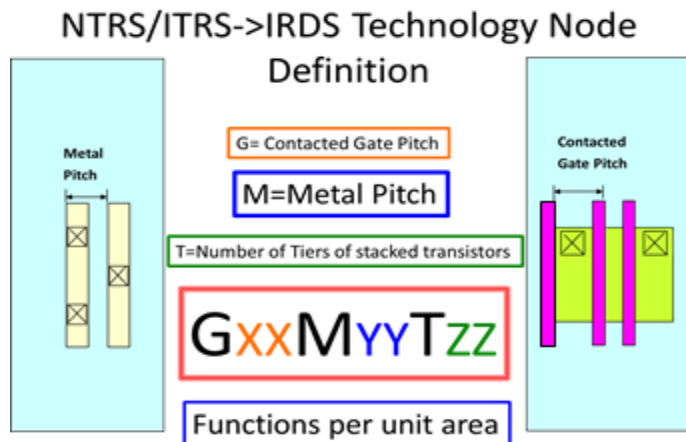
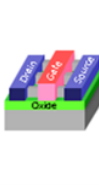
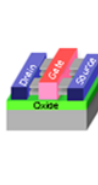
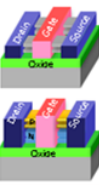
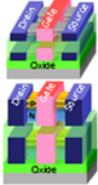
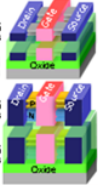
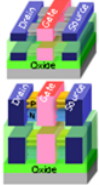


Figure ES27 IRDS の包括的な技術ノードの定義

YEAR OF PRODUCTION	2022	2025	2028	2031	2034	2037
Logic industry "Node Range" Labeling	G48M24	G45M20	G42M16	G40M16 T2	G38M16 T4	G38M16 T6
Logic industry "Node Range" Labeling	"3nm"	"2nm"	"1.5nm"	"1.0nm eq"	"0.7nm eq"	"0.5nm eq"
Fine-pitch 3D integration scheme	Stacking	Stacking	Stacking	3DVLSI	3DVLSI	3DVLSI
Logic device structure options	finFET LGAA	LGAA	LGAA CFET-SRAM	LGAA-3D CFET-SRAM	LGAA-3D CFET-SRAM	LGAA-3D CFET-SRAM
Platform device for logic	finFET	LGAA	LGAA CFET-SRAM	LGAA-3D CFET-SRAM-3D	LGAA-3D CFET-SRAM-3D	LGAA-3D CFET-SRAM-3D
						
LOGIC DEVICE GROUND RULES						
Mx pitch (nm)	32	24	20	16	16	16
M1 pitch (nm)	32	23	21	20	19	19
M0 pitch (nm)	24	20	16	16	16	16
Gate pitch (nm)	48	45	42	40	38	38
Lg: Gate Length - HP (nm)	16	14	12	12	12	12
Lg: Gate Length - HD (nm)	18	14	12	12	12	12
Channel overlap ratio - two-sided	0.20	0.20	0.20	0.20	0.20	0.20
Spacer width (nm)	6	6	5	5	4	4
Spacer k value	3.5	3.3	3.0	3.0	2.7	2.7
Contact CD (nm) - finFET, LGAA	20	19	20	18	18	18
Device architecture key ground rules						
Device lateral pitch (nm)	24	26	24	24	23	23
Device height (nm)	48	52	48	64	60	56
FinFET Fin width (nm)	5.0					
Footprint drive efficiency - finFET	4.21					
Lateral GAA vertical pitch (nm)		18.0	16.0	16.0	15.0	14.0
Lateral GAA (nanosheet) thickness (nm)		6.0	6.0	6.0	5.0	4.0
Number of vertically stacked nanosheets on one device		3	3	4	4	4
LGAA width (nm) - HP		30	30	20	15	15
LGAA width (nm) - HD		15	10	10	6	6
LGAA width (nm) - SRAM		7	6	6	6	6
Footprint drive efficiency - lateral GAA - HP		4.41	4.50	5.47	5.00	4.75
Device effective width (nm) - HP	101.0	216.0	216.0	208.0	160.0	152.0
Device effective width (nm) - HD	101.0	126.0	96.0	128.0	88.0	80.0
PN separation width (nm)	45	40	20	15	15	10

注: Mx-狭ピッチ金属配線、Tight-pitch routing metal interconnect IDM-垂直統合型デバイスメーカー、Integrated device manufacturer FinFET-フィン型電界効果トランジスタ、Fin field-effect transistor LGAA-横型ゲートオールアラウンド、Lateral gate all around EUV-極端紫外光、Extreme ultraviolet NA-開口数、Numerical aperture Ge-ゲルマニウム、Germanium SiGe-シリコンゲルマニウム、Silicon germanium RMG-リプレースメント金属ゲート、Replacement metal gate VLSI-超大規模集積回路、Very large-scale integration W2W-ウェーハ・ウェーハ間、Wafer to wafer D2W-チップ・ウェーハ間、Die to wafer Mem-on-Logic-メモリオンロジック、Memory on logic

Figure ES28 デバイスは今後 5 年間も積極的にスケールアップを継続する

Figure ES28 の 1 行目は、製造に技術が導入された年を表している。2 行目はノードの主な属性である。「G」はコンタクトゲートピッチの寸法、「M」は最も狭いメタルピッチの寸法を示す。**3 行目はノードの「industry labeling」で、現実とは全く関係のないことが明らかである。**これは、以下 (Figure ES29) のとおり ASML が IRDS と共同で実施した最近のプレゼンテーションで分かりやすく説明されている。

ゲート長が短くなったとしても、それ自体は論理回路の性能に大きな影響を及ぼすことはなくなった点に、改めて注意を向けておきたい。これは、2010 年台半ばに生じた、電力の厳しい制約によるものである。電力値を 120~130W の範囲 (ウェーハの水冷却が必要ない範囲) に制限するために動作周波数を 10 GHz 超まで上げることはできなくなった。このため、先ほど Figure ES20 で示したように、トランジスタが高速でも動作周波数が高いわけではない。こうした理由から、IC の電力損失が設計上の大きな制約となっていたため、半導体企業はトランジスタの設計にあたり、トランジスタの速度を最大化することよりも電力消費を抑えることに注力するようになった。しかし、トランジスタの密度を上げるには、コンタクトゲートピッチを短くする必要がある。

トランジスタは世代間で今なお高速化が進んでいるとはいえ、現在ではトランジスタの設計の重点が速度から電力消費量の制限へと移行したことから、1990 年台と同等のペースというわけにはいかないのである。

それでも、メタルハーフピッチの値が再び技術世代を特定するために使われるようになれば、従来の NTRS/ITRS による技術ノードの定義に完全に回帰する可能性はある (Figures ES27、ES28)。この図からは、半導体業界は 7 nm あるいは 10 nm の世代ではなく、かろうじて 18 nm の世代にいることが明らかである。

ノードの定義に IC の寸法に関する実際の数字を用いるようになれば、今後 10 年間もムーアの法則が引き続き有効性を維持することは間違いない。トランジスタの密度を高める要因として、スケーリングを実行する余地は十分ある (詳細は Figure ES29、ES30 を参照のこと)。

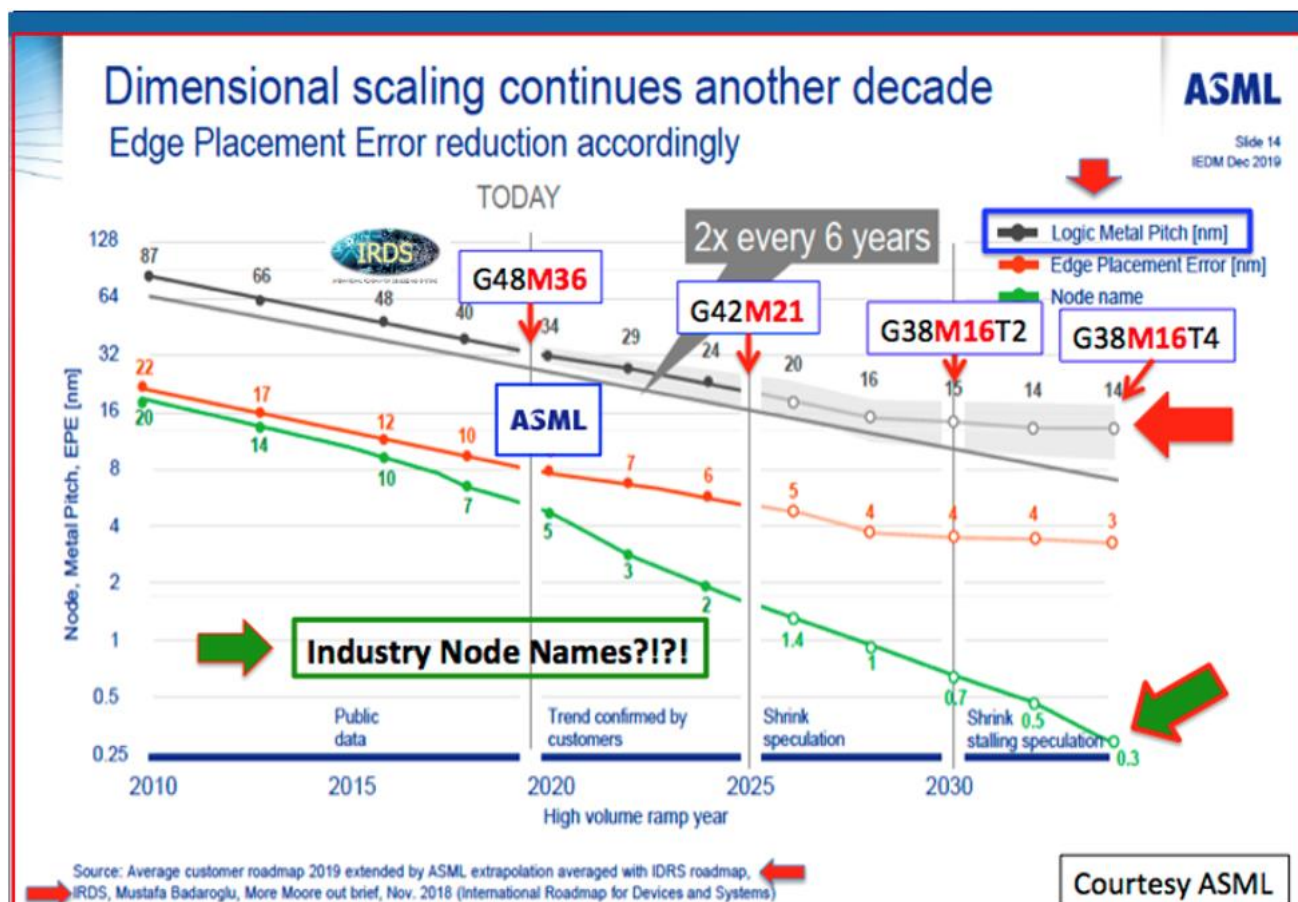


Figure ES29

ASML と IRDS の報告による、メタルハーフピッチの定義とトレンドの一致

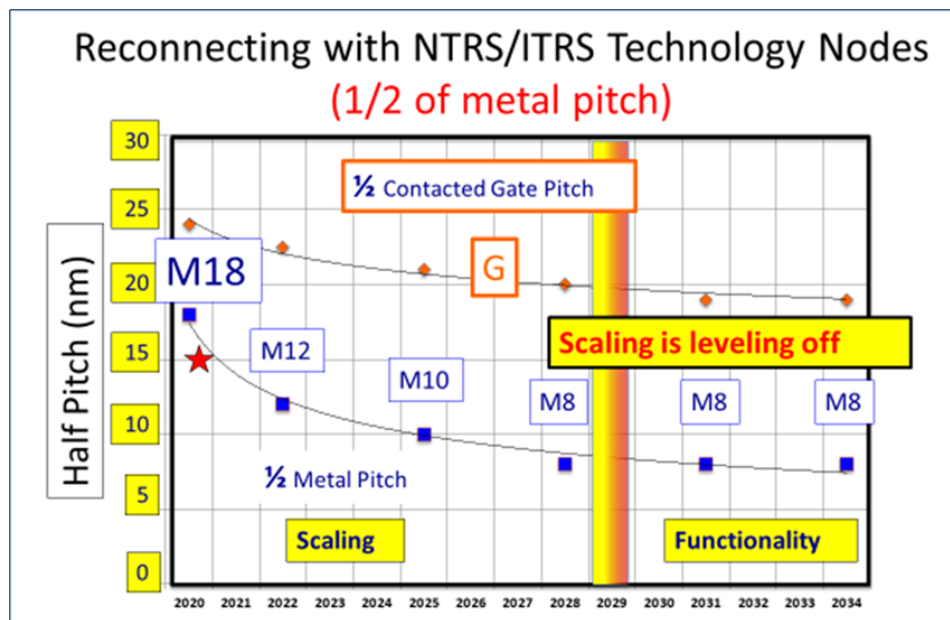


Figure ES30 メタルピッチのスケーリングは2020年に期待を上回る

Figure ES30 では、2020 年台末には寸法のスケーリングは約 7~8 nm の根本的な限界に達するであろうことも示されている。こうした見立ては、機器に関する技術のトップ企業の予測とも一致している。²しかし 2030 年初めまでには、量子コンピューティング技術がエレクトロニクス業界の発展に真に貢献し始めることが期待される。（詳細は Section 1.4 を参照のこと）

1.2.3. 5G 以降を見据えたロードマップは「INTERNATIONAL NETWORK GENERATIONS ROADMAP」に

1990 年台には、GSM（第 2 世代移動通信システムの規格の一つ、Global System for Mobile Communications）の仕様に従い、携帯電話が 800~900 MHz（メガヘルツ、Megahertz）帯の周波数を使ってサービスを開始した。携帯電話が使用する動作周波数は何度か上がり、現在は 2,500~2,700 MHz 帯で動作する 4G（第 4 世代移動通信システム、Fourth generation）および LTE（長期進化、Long-term evolution）となっている。

ここ数年で、5G（第 5 世代移動通信システム、Fifth generation）と名付けられたより強力な通信インフラストラクチャの導入についても議論が進んでいる。5G については、3~28 GHz 以上の周波数の利用について、しばらくの間議論されてきた。2017 年、5G への期待やその定義は、それまでの変化と比べ、急速かつ大幅に複雑化した。そのため IEEE は、5G を対象とした新たなネットワークのロードマップに着手することを決定した。

2018 年、この IEEE のネットワークロードマップの取り組みに従事するワーキンググループは、5G への移行とは、携帯電話向けの 3.7 GHz から 4.2 GHz の新たな周波数を導入する通信システムの開発に留まらないと認識することとなった。

5G とは、通信における複数の側面に対応する、非常に広範なプラットフォームを新たに定義するものである。たとえば、20~40 GHz および ~60 GHz で動作する複数の帯域も、5G の追加要素として提示されている。そのため、IEEE ネットワークロードマップ作成の取り組みは、2020 年に INGR（International Network Generations Roadmap）に名称が変更され、より幅広い範囲の周波数や新しいネットワークソリューションまで包含するようになった。IRDS と INGR は、過去 2 年間にわたって緊密な連携を続けてきた。

前述のとおり、このような範囲の周波数での動作は、IC の機能において良好である。過去 10 年間のうちに、携帯電話、持ち運び用 PC、多くのモバイルアプライアンスにより、インターネットにアクセスできるようになった。携帯電話の電力消費量は一般的に 5 ワット以下である。IC の動作の温度制限から見ても問題のない値である。過去 10 年で、4G-LTE や Wi-Fi5 を介したインターネットアクセスは絶えず増加してきた。これは、基地局が数十万も建

²ASML 社長兼 CTO、Martin van den Brink 氏、基調講演より。「半導体製造における継続的スケーリングはリソグラフィの進化により実現される」IEDM（2019 年サンフランシスコ）

設されたことで無線のカバレッジエリアが継続的に拡大し、それゆえにモバイルプライアンスが通信手段として、そしていつでもどこでも、あらゆる情報源にアクセスする手段として、最も利便性の高いものとなったためだ。5G（4 GHz 付近で運用される）の展開は今まさに進行中であるが、唯一の制約となるのが、新しい基地局の設置の進捗である。これは一般的に、5G の通信範囲が大幅に縮小されていることに起因する。また、Wi-Fi6（6 GHz 付近で運用される）も導入が進んでいる。

ただ、Wi-Fi5/6 と 4G-LTE および 5G が完全に異なる市場モデルや用途で展開されているとは言え（それぞれ、インターネットへの無線アクセス向けと携帯電話向け）、両者が交換可能なものとして利用され、同じ周波数の範囲へのアクセスで競合することは明らかである。こうした競合状況は、家庭や公共の建物にアクセスする市場を制する「ラストマイル」において、特に熾烈なものとなる。また、当初はもっぱら「無線通信」に依存していた TV 番組の配信においても、新たなネットワークソリューションの競合状況が生じる。つまり、携帯電話会社、ケーブルディストリビュータ、コンテンツプロバイダがいずれも、消費者獲得をめぐる競合するのである。こうした状況により、これら全てのビジネスモデルが、ある意味で統一、あるいは統合されるのであろうか？さまざまな用途に対応するさまざまなビジネスモデルをどのように調和することができるかを検討する際、このような疑問が残っている。

1.2.4 データセンタ

情報に対する需要は尽きることがなく、サーバやメモリバンクの巨大なクラスターの登場につながった。すなわち、「データセンタ」である (Figure ES31)。このような環境においても重要なのはやはり性能であり、複雑な冷却システムを活用することで、電力の問題を緩和できる可能性がある。データセンタにおける電力消費量は急速に上昇し、数百メガワットの領域に突入している。データセンタ内、および長距離の通信には光ファイバが用いられている。これは、減衰の率が非常に低いのだが、それでもデータセンタ内のトラフィックは今なおボトルネックである (Figure ES32)。

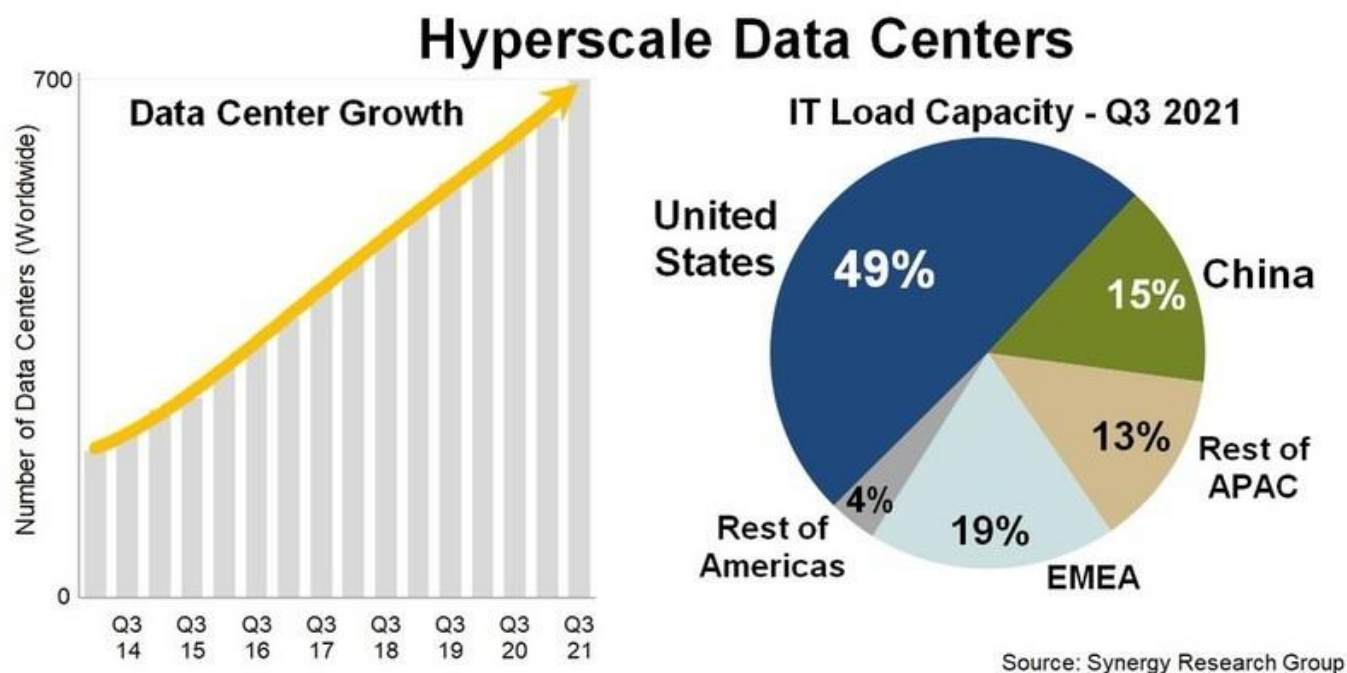


Figure ES31 データセンタの成長は留まることはない

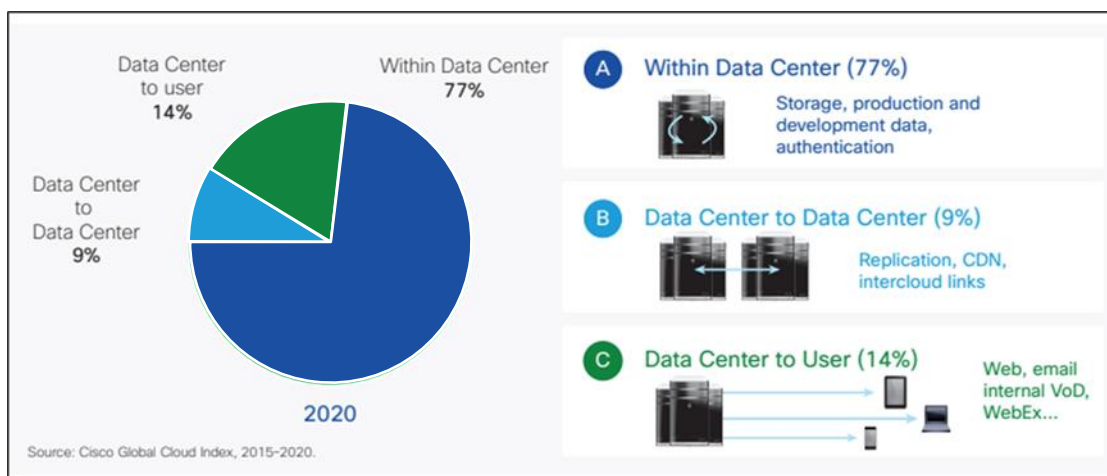


Figure ES32 データセンタ内のトラフィックは主な制約要素である

マルチコアプロセッサの導入により、データセンタで使用されるサーバにおいて最適なアプリケーションが明らかになった。過去にはそれぞれ異なるアプリケーションを対象とするプロセッサとメモリのバンクは、特定のラックに別々に設置する必要があった。必要となる OS がアプリケーションごとに異なるためである。こうした状況でプロセッサやメモリを利用することは、非常に非効率であった。しかし、マルチコアプロセッサの登場により、同じマイクロプロセッサ内のそれぞれのコアに別の OS を「ホスティング」することができるようになった。これにより、効率性は劇的に改善されたのである。

複数のアプリケーションが同じプロセッサに属すようになると、1つのサーバが処理できるデータ入力の手数が大きく向上した。これにより、データセンタ内のオプティカルネットワークに対する要求が高まった。データセンタネットワークにおいては、わずか10年前にはサーバラックから1 GbE（ギガビットイーサネット、Gigabit Ethernet）リンクを提供していたが、今や100 GbE、近い将来には400 GbEに達すると見られる。こうした要求に応えるため、データセンタにはシングルモードファイバが導入されている。

1.2.5 製品の統合と技術の融合

過去10年でCMOS技術は進化し、何世代にもわたって小型化されたトランジスタを提供しつつ、電力やトランジスタの消費を抑えてきた。CMOS技術は、電力損失を5~6 Wに抑えた携帯電話から、数百ワットの電力損失を管理できるデータセンタや大型コンピュータまで、さまざまな用途で活用されている。CMOSは予測可能な未来における技術として、唯一の選択肢であり続けるのだろうか？携帯電話やWi-Fi、大型コンピュータには、数ギガヘルツで動作するさまざまなマイクロプロセッサが使われている。5Gは、携帯電話やインターネットデバイスなど、あらゆる用途で全面的に活用される無線技術となるのだろうか？同様に、ビットがロジックとメモリの間を往復する基本的なノイマン型のアーキテクチャも、今なおアーキテクチャの選択肢である。

研究コミュニティは2010年台半ばより、全く新しい物理学の原則に基づき動作する、新しいロジックとメモリのデバイスについて研究してきた。また、新しいアーキテクチャも過去10年にわたり探究されてきた。TFET（トンネル電界効果トランジスタ、Tunnel field-effect transistor）またはFeFET、そしてニューロモルフィックコンピューティングは、今後選択肢となるのだろうか？どのような場合でも、デバイスとシステムがそれぞれ独立して開発されることはもはやあり得ない。技術主導型のボトムアップのアプローチを採用し、エレクトロニクス業界やITRSの成長を促したさまざまな新製品は、IRDSへと進化する必要がある。IRDSではアプリケーション主導型のトップダウンの要件と、ボトムアップの技術課題が連携し、調和している。

2022年版IRDSのビヨンドCMOSの章では、エレクトロニクス業界の成長を今後も支えていくであろうシステムやデバイスの進化について、幅広く説明している。（詳細はFigure ES33およびES34を参照のこと）

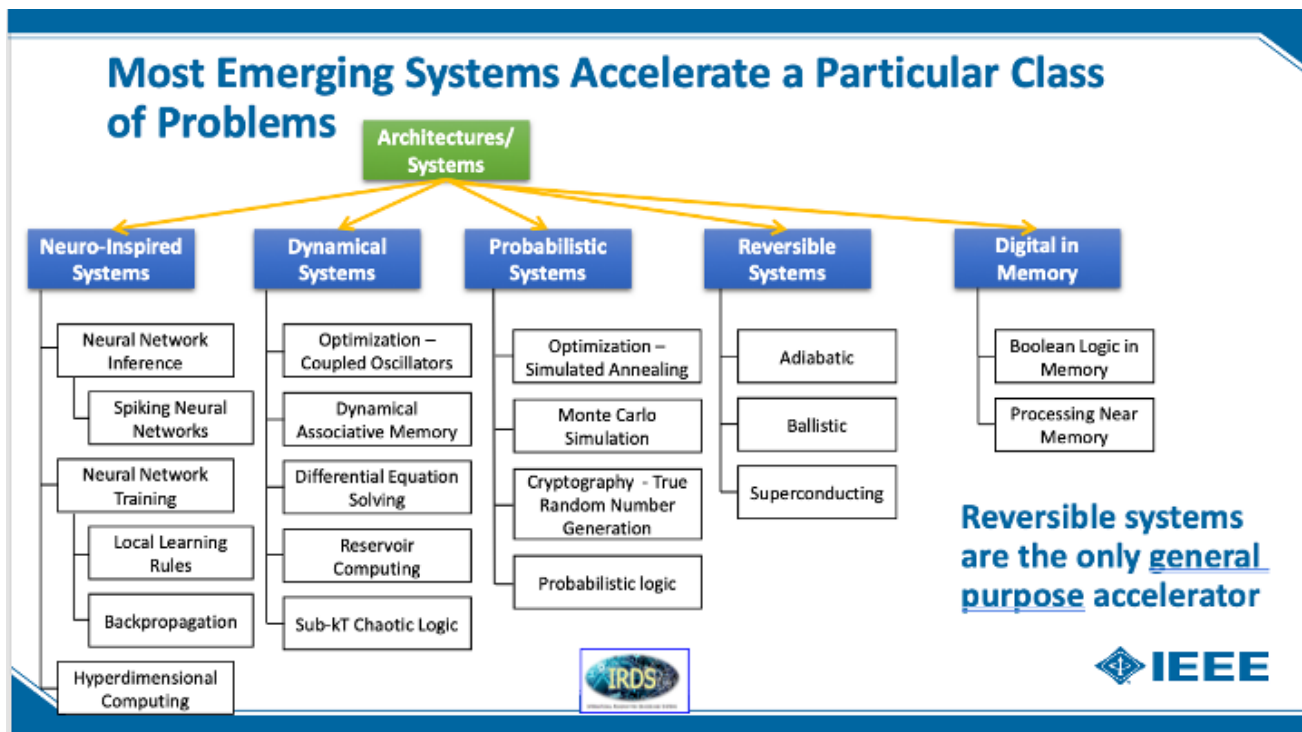


Figure ES33 特定の課題を解決するため、専門分野に特化した複数のアーキテクチャが登場している

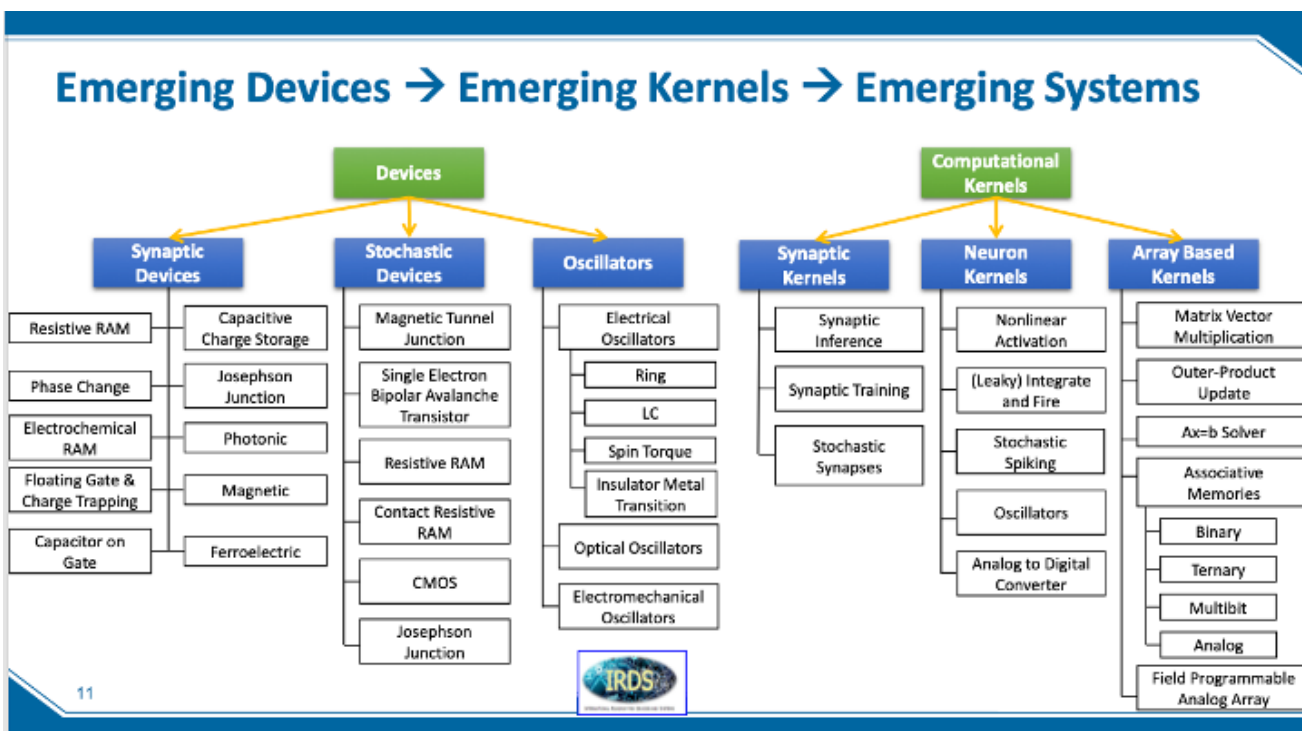


Figure ES34 新たに登場したデバイスやコンピュータのアーキテクチャの共生

1.2.6 システムインテグレーション

一般的に、必要とされる機能全てを提供できる単一のコンポーネントは存在し得ない。複数のサブシステムを併用することで、必要とされる機能を提供できるのである。しかし、全てのサブシステムと一緒に利用するには、慎重な配慮が求められる。通常、連携するサブシステムの数が増えるほど、システムの複雑さは急激に上昇し、コストや信頼性の要件も同様に増大する。このような考慮事項のために、いずれかの時点で単一のシステムに事実上統合できる機能がどれになるかは、大きな制約を受けることになる。しかし、時間の経過とともに新しい技術的機能を経済的に利用できるようになるため、手頃な価格で高度な機能水準を達成できるのである。

これらを検討することから、システムインテグレーションとは進化を続ける動的なプロセスだという重要な教訓を得ることができる。そのため、システムに何を統合でき、何を統合できないかを確実に述べようとするのは誤りであろう。これを述べようとするのであれば、必ず非常に具体的な期間を定め、注意深く言及しなくてはならない。数年前には不可能と思えたことが、今では些細なことに見える場合もある。

一般的にはマルチコンポーネントをパッケージ形態に統合することは比較的容易であると考えられるが、モノリシック、あるいはヘテロジニアスなインテグレーションを費用対効果に優れた方法で実現できる場合に比べ、導入に費用がかかることになる。これこそが、システムの機能性を高めるために2つのアプローチが交互に適用されてきた理由である。

1965年、ゴードン・ムーアは基本的な事項を述べた発表において、このことを誰よりも適切に表現した。

「トランジスタ数の増加に上限はない」

「半導体業界に身を置く者には時に困難に思えるが、デバイスの歩留が100%未満に制限されるなどという理由は、本質的には存在しない」

アプローチはこれだけではない。

「別々にパッケージされ、配線された小規模な機能から大規模なシステムを構築することが、より経済的であると証明される可能性がある。大規模な機能の有効性を機能的な設計や構造と組み合わせれば、大規模システムのメーカは相当な種類の機器を、迅速かつ経済的に設計および構築することができるはずだ」

多くの人がこの声明をもとに、マルチチップのパッケージングソリューションこそが、成功への唯一の道であると示唆してきた。しかし、編集者はこの時点で、スペースか何かの理由で、次の文章を削除することとした。このために、前述の2文の意味が全く歪められることとなったのである。

「大規模な機能を実現する技術に関する限り、複数の可能性が存在する。そしてそのどれもが、開発を通じてそれらのアレイを実現しうる。そのうちどれか1つが優位を占めるのか、**組み合わせで使用されるのか**は明らかではない」

このような発言によれば、**ダイレベルでのモノリシックなホモジニアスインテグレーション**や**ヘテロジニアスインテグレーション**、あるいは**パッケージレベルでのヘテロジニアスインテグレーション**はいずれも、システムの性能を最適化し、コストを最小化するために、適宜ケースバイケースで選択されるツールに過ぎない。

過去を振り返れば、ヘテロジニアスインテグレーションの実用的な最初の事例は、ずっと昔に基板レベルで進められた。PCB（プリント回路基板、Printed circuit board）は、伝導性のない回路基板上で薄板にされた銅板からエッチングされた、伝導性の高いトラック、パッド、その他の特徴を使ってさまざまな電子部品を機械的にサポートし電気的に接続する。コンポーネント（キャパシタ、抵抗器、複数のアクティブデバイスなど）は通常、PCBにはんだ付けされている。先進的なPCBには、回路基板にコンポーネントが埋め込まれたものもある。

PCBの基板はエポキシで強化された伝導性のないガラスの薄板から作られ、表面に伝導性の高いトラックが複雑に張り巡らされている。PCB上にICなどのコンポーネントを挿入するために、特別なソケットが提供される。もちろん、複数種類の基板やパッケージング技術が存在する。

近年では、2.5Dに密接に統合されたFC（フリップチップ、Flip chip）技術や、TSV（シリコン貫通ビア、Through silicon via）の3DスタックのHBM（高バンド幅メモリ、High bandwidth memory）が利用可能となっている。これらのパッケージング技術はいずれも、HBM実現の前後でGoogle TPU（テンソルプロセッシングユニット、Tensor processing units）が示したように、スループットを倍増させ、エネルギー要件を半減させることで、「メモリの壁」を崩壊させた。

計算や通信のシステムを構築する際に今なお主要な制約事項となるのが、ロジックチップとメモリチップの間の通信速度である。計算にかかる時間の大半はメモリで費やされていることは、よく知られている。さらに、あるチップから別のチップへ信号が移動する際にさらなる遅延が発生し、コンピューティングにかかる時間がさらに延びる。そのため、ロジックとメモリの接続により生じる遅延を減らすことが何より重要なのである。最近では、先に述べたものとまさに同じ高度な FC 技術と共に、より新しく開発された TSV の技術を組み合わせたメリットを活用することで、これらのダイ(チップ)を接続する新しい方法が導入されている。この場合、ビアはシリコンウェーハにドライエッチングされてから Cu での電気めっきで充填され、メモリチップをロジックチップの上に重ねて 3D スタックにする。チップには最大 5,000 TSV の中央アレイがあり、メモリをロジックの上に取り付け、50 ミクロンピッチのマイクロピラーによるアレイを用いて互いを接続することで積層されている。RDL (再配線層、Redistribution layer) は接続を望ましい場所に再ルーティングするために用いられる。たとえば、チップの中央に位置するバンプアレイをチップの端付近に再配線することができる。接続点を再分配する機能により、コンタクト密度が高まり、その後のパッケージングのステップが実現される。

1.2.7. モアザンムーアとパッケージングのインテグレーション=ヘテロジニアスインテグレーション

長年にわたって ITRS のスコープは拡大され、メモリやマイクロプロセッサデバイスのための CMOS ベースのデジタルドメインだけではなく(ムーアの法則で示されたとおり、小型化により推進される)、スマートシステムアプリケーションを実現する多機能アナログ技術やミックスドシグナル技術によるヘテロジニアスインテグレーション(「モアザンムーア」)まで含めるようになった。同時にロードマップにおける見通しは、ほぼ技術により主導されるものから、アプリケーションの要件により決定される傾向が強まった。これに合わせて、ITRS は IRDS へと進化した。

ロードマップ作成の取り組みは、イノベーションの方法論や戦略についての新しい洞察を生み出すことになった。これはとりわけ、非常に多くの学問領域にわたる R&D 環境が求められる「モアザンムーア」についてのケースに当てはまる。非常に複雑な技術分野における進歩は、完全なイノベーションチェーンに沿った協力によってのみ実現されることが明らかになってきた。これは、複数の専門分野を組み合わせることで包括的な技術モジュールの開発を実現し、オープンな技術プラットフォーム上で利用可能な状態にすることを示唆する。このような傾向は、自動車産業や医療分野などの現代における発展により、明らかに示されている。

「モアザンムーア」の概念は、2005 年版 ITRS で提示された。

「モアザンムーア」は、必ずしもムーアの法則に従ってスケールしないものの、異なる方法で付加価値を提供する機能をデバイスに組み込むことに言及したものである。モアザンムーアのアプローチにより、非デジタル機能(RF(高周波、Radio frequency)通信、電力制御、受動部品、センサ、アクチュエータなど)をシステム基板レベルからパッケージ(SiP)やチップ(SoC)のレベルに移行させることができる。

さらに、SoC(システムオンチップ、System on chip)やSiP(システムインパッケージ、System in package)への複雑なソフトウェアの組み込みによる緊密なインテグレーションが一層進展することで、ソフトウェアも性能のスケールリングに直接影響を及ぼす考慮事項に基づく構造となる必要が生じるかもしれない。

モアザンムーアの目的は、マイクロエレクトロニクス業界で開発されたシリコンベースの技術の活用を拡大し、新しい非デジタル機能を提供することである。モアムーアの開発から生まれたスケールリング機能を活用することも多く、デジタルおよび非デジタルの機能を小型システム、および最終的にはシステムオブシステムズに組み込むことを目指す。

パッケージングによる貢献

複数の異類の機能や技術を統合する最も簡単な方法として、これまでパッケージングが用いられてきた。

同じパッケージの空間に複数のダイ(チップ)がある場合、従来は簡単かつ安価なワイヤボンディングを使って接続されていたが、過去 10 年でパッケージング業界に(再び)革命を巻き起こしたのはフリップチップ(FC)の活用だった。

FC とは本質的には、いわゆる BEOL(バックエンド工程、Back end of line)のウェーハ製造工程厨に IC のボンドパッド上に取り付けられた可融性のさまざまな金属突起(「バンプ」と呼ばれる)を使った垂直およびエリアア

この配線システムである。ここのチップに分離されテストされた、パンプを備える良品チップを、高密度の回路基板（サブストレートと呼ばれる）上で反転させ、マシンビジョンを備えた高精度かつ高速なロボットを使って、基板上の対応するボンドパッドにチップのパンプを合わせる。合わせたボンドパッドの配線の金属部分が溶融され（還元性雰囲気ですりこまれる）、合金となることで、堅牢な接合部のエリアアレイを形成する。

FC 技術でいくつかの進歩があったことで、従来と比べ、このようなアプローチを実現できる可能性が高まり、費用対効果も改善された。初期の FC 技術は 1960 年台に開発され、メインフレーム用に MCM（マルチチップモジュール、Multi-chip modules）を構築する際に活用された。

今や FC 技術は、オリジナルマイクロプロセッサ、最新の SoC、低価格の GaAs パワーアンプ（携帯情報端末からのインターネットや動画へのアクセスを実現する、RF による高速データ転送を行う）、BIS（裏面照射型センサ、Back illuminated sensors）イメージングチップ、フラットパネルディスプレイ、レーザ、LED（発光ダイオード、Light emitting diode）、ロジックチップや HBM メモリを含む 3D 積層チップなどの新しいアプリケーションなど、非常に幅広い用途に利用されている。

上記のシステムの仕様は全て、半導体業界が求めるものを表している。（「序論」の Figure ES1 を参照のこと）

1.3. 寸法のスケーリングを超えて

前項で概要を説明したとおり、モノリシック（SoC）およびヘテロジニアス（SiP）な 3D スケーリングの組み合わせにより、ムーアの法則に従い、今後数十年にわたって明確なエリア/ボリュームでより多くのデバイスを圧縮することができる。しかし、2020 年台末までにはトポロジまたは電気的に関連する制約が生じ、個々のデバイスが最終的に物理的な限界に達することは避けられない。

では、物理デバイスの数をこれ以上増やせなくなったときに、ロジックやメモリの動作の性能を改善し続けるにはどうすればいいのだろうか？3D の総合的なトポロジの制約が生じると、IC のデバイス数を増やすことで性能を向上できなくなることは明らかである。しかし、他の方法で性能を向上させることはできないだろうか？IC を構成するデバイスの物理的なサイズや数を変えずに、性能を向上できないか？

メモリ製品はこうした問題を実践的に解決する貴重なヒントを提供することで、3D を超えた新しいアプローチの実現を可能にする。20 年以上にわたり、フラッシュメモリの生産者は**単一のメモリセルに 1 ビット以上**を格納する方法について研究してきた。そして過去 10 年間で、ついに実行可能な解決策を見つけたのである。今では、フラッシュメモリのセルに最大 4 ビットまで格納できることが実証されている。このメモリセルの解決策は、物理的に 1 つの場所に 1 ビット以上を格納および操作することで、継続的な性能改善が可能であるという方向性を示している。さらには、デバイス寸法を実質的に大幅に減らすことで、より高い解像度を実現する高額なリソグラフィの新しいツールを開発する必要性を低減するというメリットももたらした。（リソグラフィのツールは IC ツールキットのコスト総額の中でも最も高額であり、最先端の生産ラインの機器コスト総額の約 40% を占める。）現時点では、単一のロジックデバイスで 1 ビット以上をどのようにして同時に操作するのかは明らかになっておらず、研究者によるコミュニティでこの課題に取り組む必要がある。しかし、単一の物理要素でマルチビットアプローチを使ったソリューションとして、少なくとも 1 つの実現可能なソリューションが、ロジックオペレーションを実行する全く新しい方法として既に提示されている。すなわち、量子情報処理である。

1.4. QIP（量子情報処理、QUANTUM INFORMATION PROCESSING）

量子コンピューティングには、量子ビット（キュービット）に依存した計算へのさまざまなアプローチがある。従来のビットと同様に 0 か 1 で値を表現するだけでなく、キュービットは 2 つの全く新しい機能を備えている。1 つ目は、量子力学的に 0 と 1 を同時に重ね合わせて表現することである。そして 2 つ目は、量子のもつれを通じて、複数のキュービットを相互に関連付けることである。こうした新しい機能により、単一の量子コアで大規模な量子並列性を活用することができる。量子力学は一般的には原子レベルでの動作を述べる場合にのみ適切であるが、主に 0.1 K 以下の超低温での超伝導回路の動作に適用することができる。

量子コンピューティングは全てのコンピューティングの課題に実用的な解決策を提示するわけではないが、いくつかの重大な問題のタイプに対し、急激に効率を向上させうるアルゴリズムをもたらす可能性があることと理解しておくことは大切である。量子コンピューティングのデバイスは従来のデバイスとは大きく異なる。特徴を細やかに調整

することでデコヒーレンスを回避しつつ、スケーラブルなアーキテクチャへと効果的に構成していくことは、非常に困難ではあるが不可能ではないエンジニアリング課題であることが現在までに明らかになっている。

物理的な場所に1ビット以上を共存させ、これを活用するアプローチには、他にも量子アニーリングがある。量子断熱計算に関連するこの方法は、二進法の変数がキュービットで表され、それぞれが0と1の重なりへと初期化される計算のアプローチである。このアルゴリズムは、コスト関数により定義された最適化の問題をエンコードする方法で、プログラム可能なキュービットフィールドの構造とキュービット間のインタラクションを次第に調整することで機能する。コスト関数の最小化に対応するキュービットの状態は、アルゴリズムの最後に現れる可能性が最も高い。そこから結果を読み取ることができる。しかし、従来のコンピュータとのハイブリッドな協力が強く推奨される。

量子コンピューティングに対するもう1つのアプローチが、量子論理ゲートを使って量子コンピュータの一般的な目的を達成しようとする量子ゲートモデルである。本質的にこのアプローチは、従来のゲートに代わって量子ゲートを用いることで、量子でのノイマン型アーキテクチャを構築する。用途として考えられるものに、大きな数の因数分解など、これまで取り組んできたコンピューティングの課題がある。最近の進歩として、特定の線形代数の問題を解く際、従来の回路では問題の規模に応じて必要な手順の数が対数関数的に増大するのに対し、並列量子回路を用いた場合の手順数は問題の規模からは独立していると理論的に証明したことなどが挙げられる。その他の用途には、データベース検索、ポートフォリオ最適化、機械学習、組み合わせの最適化などがある。このようないわゆる量子優位性は、従来の回路には見られない、量子回路内の量子の相関関係に起因する。50の十分にコヒーレントなキュービットの規模では、既知の従来型スーパーコンピュータでは量子コンピュータをシミュレーションすることはできなくなっている。

しかし、量子コンピューティングは従来型コンピューティングに置き換わるものではなく、併用することで機能する点を指摘しておかなければならない。量子コンピューティングの計算結果を実際に利用できる状態にするには、追加でデータを操作する必要があることも多いからである。また、いくつかのタスクや計算では、従来型のコンピュータの方が量子コンピュータよりも大幅に優れている可能性がある。事実、複数のケースでは、量子コンピュータは従来型コンピュータに等しい性能をどのように達成できるか、明らかではない。予測可能な範囲において、このような共生関係は今後も継続すると見られる。詳細は2022 IRDS CEQIP Chapterを参照のこと。

2. ロードマップのプロセスと構成

2.1. ロードマップのプロセス

NTRS、ITRS、ITRS 2.0のロードマップ作成プロセスが進化したものがIRDSのプロセスである。これに最も関連する環境の変化を挙げよう。従来、デバイスの要件は利用できる準備の整った技術に基づき決定されており、システムインテグレーションにおいてどのように製品を組み立てるかについては、ほとんど選択肢がなかった。しかし、ファブレス/ファウンドリエコシステムが登場したことで、システムインテグレーションはデバイス要件の確立において、主導的な立場を取り戻したのである。このような新しい環境に適合するため、IEEE Rebooting Computing Initiativeと緊密に連携し、2017年版IRDSロードマッププロセスにApplications BenchmarkingとSystems and Architecturesの要件を追加することで、IRDSのプロセスを強化した。

IRDSはIFTのレビューを継続的に受けることで、最新動向に常に対応している。前年の版に対し、1年おきにフルバージョンを反映している。このような「フルバージョン」の年（通常は2017年、2019年、2021年など奇数年）に続いて、「アップデート」の年がある。この場合、IFTの章における表の値に対する追加や変更が行われ、ロードマップを最新の状態に維持したり、業界のインプットに対応したりする。

2022年版IRDSでは、2021年IFTの章の多くに対し、大きな改訂が行われている。2021年版の全ての章がチームによりレビューされ、多くの章で記述や表の値に対する改訂が反映された。また、2022年に更新されたモアムーアの章や表の値には、業界の最新の傾向が反映されている。IRDS IFTの章全体での調整は、全面改定の年にあたる2022年版IRDS改訂の目的である。

2022 年版 IRDS のフォーカスチームは以下のとおり。

1. AB (アプリケーションベンチマーキング、Application Benchmarking) (2020 年と同様)
2. SA (システム・アーキテクチャ、Systems and Architectures)
3. OSC (アウトサイドシステムコネクティビティー、Outside System Connectivity)
4. MM (モアムーア、More Moore)
5. BC (ビヨンド CMOS、Beyond CMOS)
6. CEQIP (極低温エレクトロニクスと量子情報処理、Cryogenic Electronics and Quantum Information Processing)
7. PI (パッケージ統合、Packaging Integration) ホワイトペーパー (2021 年と同様)
8. FI (ファクトリーインテグレーション、Factory Integration)
9. L (リソグラフィ、Lithography)
10. YE (歩留向上、Yield Enhancement)
11. M (メトロロジ、Metrology)
12. MtM (モアザンムーア、More than Moore) ホワイトペーパー
13. ESH/S (環境・安全・健康・持続性)

さらに以下の 2 つの章が作成されており、2022 年版 IRDS に向けてホワイトペーパーの準備が進んでいる。すべての章は、2023 年版 IRDS で公開される予定である。

14. 大規模データストレージと不揮発性メモリ
15. 自律型マシンコンピューティング

2.2. IRDS IFT の体制と説明

2022 年版 IRDS は 15 の IFT で構成される。AB と SA は 2017~2022 年のエレクトロニクスシステムの進化における主要なトレンドを観察した。これらのトレンドをもとに、8 つのインフラストラクチャ IFT に対する要件を策定した。これに対し、IFT はシステムインテグレーションに対する継続的なフィードバックを実施している。さらに、インフラストラクチャ IFT は 5 つの専門特化した IFT に要件を提示しており、これについてもインフラストラクチャ IFT に対する貴重なフィードバックが提供された。

IFT structure of the International Roadmap for Devices and Systems (IRDS)

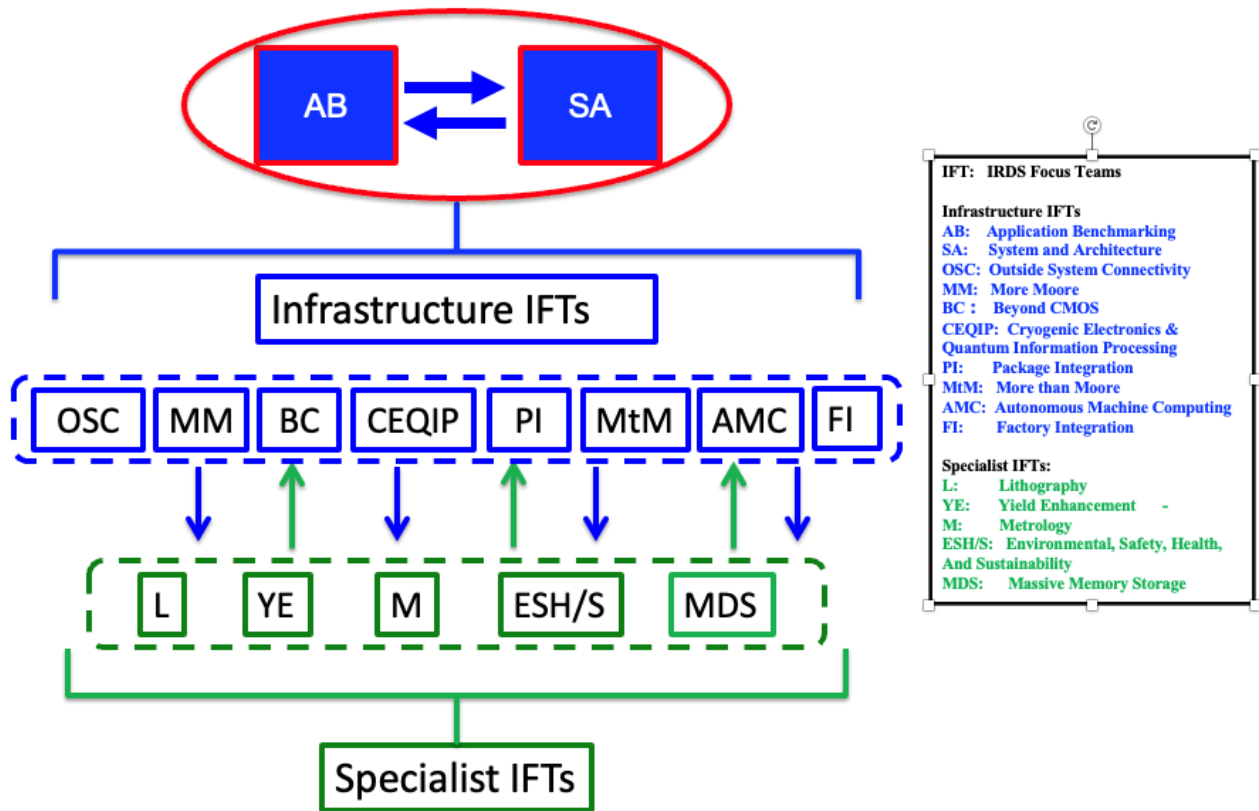


Figure ES35 IRDS の IFT の体制

2.2.1. AB (アプリケーションベンチマーキング、APPLICATION BENCHMARKING) AB

AB IFT のミッションは、主要なアプリケーションドライバを特定し、これらのアプリケーションの今後 15 年における性能の追跡とロードマップを作成することである。AB 市場ドライバ、および SA IFT ドライバのアウトプットとしてクロスマトリックスマップが作成され、それぞれの市場にとって重要または不可欠（ゲーティング）なアプリケーションが示されている。

これまで、アプリケーションはナノエレクトロニクス業界を大いに成長させている。たとえば 10 年前には、半導体メーカーはロードマップの次のノードに向けた進展について、PC 業界からプレッシャーを受けていた。現在、アプリケーションがモバイル市場へ移行したことに伴い、システムメーカーが新しい技術に対するプレッシャーをかけている。IoT-e（モノのインターネットのエッジ、Internet of Things edge）デバイス市場には、低価格、低エネルギー消費など、独自の要件やニーズがある。この多くは、2020 年版ロードマップの SA の章で議論されている。AB の章の役割は、現在の市場やそのニーズから一歩下がって、これらの市場それぞれにおける現在、および近い将来のアプリケーションについて検討することである。

2.2.2. SA (システム・アーキテクチャ、SYSTEMS AND ARCHITECTURES)

2022 年版 IRDS において SA の章が担った役割とは、2019~2034 年の期間において、半導体業界の主要な市場ドライバに関するトップダウンかつシステム主導型のロードマップフレームワークを確立することであった。AB はどのような計算をすべきかをテーマとし、SA は計算すべき領域の規模、重さ、電力、セキュリティ、プライバシーの境界条件をテーマとしている。この章で分析されるシステムは、インプラント型デバイスから、コンピューティ

ング、エレクトロニクス、フォトニクスの需要を統合したエクサスケールデータセンタまでを対象とするデザインエンベロープに対応している。これらのシステムをそれぞれ詳しく研究することで、これらのシステムやアプリケーションを実現する半導体やフォトニクスの技術に対する要件を明らかにできる。SAの章では4種類のシステムについて検討している。IoT-e デバイスはセンシング／アクチュエーション、コンピューテーション、セキュリティ、無線通信を提供する。このデバイスは物理システムに接続され、無線ネットワークで動作することで、物理世界のイベントを収集、分析し、これに対応する。GPS（サイバーフィジカルシステム、Cyber-physical systems）は、物理的な設備をリアルタイムで制御する機能を提供する。GPSの例として、自動車や産業用システムが挙げられる。従来はモバイルデバイスとして追跡されていたパーソナルオーグメンテーションデバイスは、人間中心のデバイスとしてますます多様化しており、通信やインタラクティブコンピューテーション、ストレージ、セキュリティの機能を提供することで、かつてないほど多くの成果を出している。このようなデバイスが提供するものは、多くの人にとって主要な、あるいは唯一のコンピューティングシステムである。クラウドシステムはデータセンタを強化することで、トランザクションの実行、マルチメディアの提供、データの分析を実現する。クラウドシステムは、従来型の企業と、高性能で科学的なWebネイティブのコンピューティングとに共通して見られる、設計の原則および方法論に対する傾向を示している。

2.2.3 OSC (アウトサイドシステムコネクティビティー *OUTSIDE SYSTEM CONNECTIVITY*)

2022年版IRDSにおけるOSC IFTのミッションは、RFおよび光ファイバでIoE（全てのインターネット、Internet of Everything）の多くの要素に接続するために必要となる機能を特定および評価し、技術に対するニーズやギャップを示すことである。これには、多様なセンサ、デバイス、製品の配線をサポートすることで、さまざまな用途に向けた情報通信、処理、分析を支援することも含まれる。用途の例としては、自動車、航空宇宙のほか、個人向け、家庭向け、輸送向け、工場向け、倉庫向けなど幅広いIoTアプリケーションがある。本章では、光ファイバ回路上でのデータセンタへのデータ通信やデータセンタファイバ通信についても取り上げる。

2022年版IRDSのOSCの章は、これらのトピックスに対するレビューおよびアップデートである。波長の性能、データセンタの要件とソリューションの候補、テレコム、オフィス、工場のLAN向け光インターコネク、FTTx、モバイルデバイスの性能、化合物半導体のFET（電界効果トランジスタ、Field effect transistor）やバイポーラトランジスタへの技術的ニーズなど、複数の表についてもアップデートしている。

2.2.4 MM (モアムーア *MORE MOORE*)

2022年版IRDSのMM IFTは、ビッグデータ、モビリティ、クラウド（IoTおよびサーバ）アプリケーション向けにモアムーアのPPAC（電力・パフォーマンス・エリア・コスト、power, performance, area, cost）スケールリングを維持するためのロジックとメモリの技術、およびメインストリーム／HVM（大量生産、high-volume manufacturing）で予定されるロジックおよびメモリの技術（15年）について、物理、電気、信頼性の要件を提供する。2013年版ITRSでは、あらゆる製品ラインについて、2Dスケールリングが2015年から2024年の間に本質的な限界を迎えることを既に予想していた。70年台半ばからピッチスケールリングにおける技術リーダーの位置を占めてきたのはフラッシュ製品である。フラッシュ製品は、3Dメモリセル構造を積極的に導入することで、すでに2Dの限界を克服している。フラッシュメモリセルの72~96層はすでに実証済みである。今後数年で、ロジック技術も3Dアプローチに移行することが予想されている。このような技術的ソリューションにより、さらに10~15年にわたり、ムーアの法則が効力を維持すると見られる。

2022年に更新されたモアムーアの章や表の値には、このような業界の最新の傾向が反映されている。なお、2022年版におけるその他のIFTの章では、こうした最近のアップデートが全て反映されていない可能性がある。IRDS IFTの章全体での調整は、2023年版IRDS改訂の目的である。

2.2.5 BC (ビヨンドCMOS *BEYOND CMOS*)

2022年版IRDSにおけるBC IFTの目的は、技術的な選択の適切性の理由から、実現可能な新しい情報処理デバイスとシステム・アーキテクチャを調査、評価、分類することである。さらなる発展のため、受容可能なリスクを引き受ける際に、半導体業界が受容の可能性を閉ざしてしまう科学的／技術的課題を特定することは重要である。もう1つの目的は、MtMの開始にあたって取り組む技術に対する、長期的な観点での代替ソリューションを追求することである。これは、技術により定義される2つの領域に対処することで達成できる。すなわち、1) 新しい技術のヘテロジニアスイнтеグレーションを通じて、CMOSプラットフォームの機能を拡張する、2) 新しい情報処理パラ

ダイムを考案する取り組みを活性化する、の 2 つである。過去のロードマップにおいて BC が明らかにしてきた多くの新しいメモリデバイスについては既の実証されており、ヘテロジニアスなモノリシックインテグレーションの手段として、製造が進められていることに注意されたい。詳細は Figure ES58 を参照のこと。

2.2.6. CEQIP (極低温エレクトロニクスと量子情報処理 CRYOGENIC ELECTRONICS AND QUANTUM INFORMATION PROCESSING)

2022 年版 IRDS における本章の目的は、極低温エレクトロニクスと量子情報処理における技術の状態を調査、分類、評価することである。アプリケーションドライバを特定することで技術を十分に発展させ、アプリケーションのニーズを、予測される機能に対する時間の関数としてマッピングして、研究や開発が必要な課題を明らかにする。

極低温エレクトロニクス（低温エレクトロニクスまたはコールドエレクトロニクスと呼ばれることもある）は、超低温（-150 C または 123.15 K）での動作によって定義され、絶縁体、伝導体、半導体、超伝導体、トポロジカル材料などさまざまな材料で作られるデバイスや回路も含む。既存のアプリケーションや新しいアプリケーションでは、新たな超低温エレクトロニクス技術の開発が進められている。

情報処理はデータの入力、伝送、保管、操作、処理、出力に対応する。特定の機能を完了する情報処理システムは、一般的に技術に関する複数のインタラクティブ層を必要とする。これらの層のトップダウンのリストは、必要とされるアプリケーションやシステム機能で始まり、システム・アーキテクチャ、マイクロアーキテクチャ、ナノアーキテクチャ、回路、デバイス、材料へと続く。情報の基本的な単位（ビットなど）は、そろばんの玉の位置や CMOS ロジックのノードキャパシタンスの電圧（または電荷）の状態など、計算の状態変数により表される。二進法の計算の状態変数は、従来のコンピューティングで優位を占めていた、ノイマン型コンピュータシステムアーキテクチャの基礎である。

量子情報処理は、キュービット（2 状態の量子力学的システムで、同時に両方の状態を重ね合わせることができる）を使う点で差異化されており、計算上の強みとなる。所定の基底におけるキュービットの測定は、どちらかの基底状態を壊す原因となる。

このレポートで扱う技術カテゴリには、以下が含まれる。

- SCE (超伝導エレクトロニクス, Superconductor electronics)
- Cryo-Semi (極低温半導体エレクトロニクス, Cryogenic semiconductor electronics)
- QIP (量子情報処理 Quantum Information Processing)

2.2.7. PI (パッケージングインテグレーション PACKAGING INTEGRATION)

2021 年版 IRDS および 2022 年版 IRDS の PI は、パッケージングロードマップの要件や、長期的に市場のニーズに対応するための多数の新しい要件およびソリューション候補の導入について中心的に述べていた。パッケージングインテグレーションは、半導体デバイスをエンドユーザにとって利便性の高い製品に転換する、最終的な製造プロセスである。パッケージングにより、信号伝送、電源入力、電圧制御のための電氣的な接続が行われる。また、熱散逸や信頼性確保のために求められる物理的な保護にも必要な手段を講じる。以前は、パッケージングは電子システムのコストおよび性能における限定的な要素と見なされていた。しかしこれに反し、今ではパッケージングはイノベーションを加速させる要素と考えられている。複数の技術によるヘテロジニアスなインテグレーションは過去 10 年間で主要な要素となり、特にモバイルカテゴリなど、さまざまな新製品を実現してきた。デザインのコンセプト、パッケージングのアーキテクチャ、材料、製造プロセス、システムインテグレーションの技術はいずれも、急速に変化する。

イノベーションがこのように加速することで、過去数年のうちに複数の新しい技術が開発され、その他についても拡大および加速が進んだ。新しい技術の多くは、元々は IDM (垂直統合型デバイスメーカー, Integrated device manufacturer) により 30 年以上前に開発された、FC 技術が進化したものである。当時は組み立てのみを行う企業には FC は非常に高価だったが、今ではファウンドリが 2.5D と 3D を組み合わせることで FC 技術を再び活性化し、IC 技術の準備が十分に整わない場合に、製品の導入を加速している。無線およびミックスドシグナルデバイス、バイオチップ、オプトエレクトロニクス、MEMS といった多様なコンポーネントは、SiP アーキテクチャの要素として導入されているため、パッケージングや組み立てについての新たな要件を生み出している。

2.2.8. FI (ファクトリーインテグレーション *FACTORY INTEGRATION*)

IRDS 開始以降の FI の注力領域は、半導体製造インフラストラクチャが手頃なコストで大量にアイテムを製造できるように、必要なコンポーネントを確実に備えることだった。ムーアの法則の可能性を実現するには、デバイス機能のサイズ縮小、新材料、ほぼ 100%の歩留に向けた改善、ウェーハサイズの拡張、その他製造における生産性改善といった強みを十分に活用する必要がある。続いて、工場のシステムに追加の工場部品を完全に統合し、これらの部品をまとめて活用することで、他の IRDS の注力領域が定めた仕様や、コストやボリューム、歩留の目標値を満たすアイテムを提供することが求められる。

2022 年版 IRDS の章では、SM (スマートマニュファクチャリング、Smart Manufacturing) の動き (インダストリー 4.0 および 5.0 とも言われる) に関連して、既存の FI 要件の大半について定義が見直され、新たに登場した未来の工場の複数要素による拡張が実行された。この中で、SM の原則 (デジタルツイン、産業の IoT、人工知能など) についてさらなるアップデートがあり、セキュリティのセクションについて技術要件の表も追加された。

2.2.9. L (リソグラフィ *LITHOGRAPHY*)

パターンング技術の L の注力領域は、高性能ロジックチップ、DRAM (ダイナミックランダムアクセスメモリ、Dynamic random access memory) メモリ、フラッシュメモリであった。高性能ロジックチップは、より優れた解像度の機能を実現するドライバである。EUVL (極端紫外光リソグラフィ、Extreme ultraviolet lithography) は開発サイクルタイム、製造サイクルタイム、パターンングレベル数の増大、多重パターンングにおいてより多重度を増大させることによる総合的な複雑さを回避するため、最先端のロジックを実現するため製造工程に導入されている。DRAM メモリは、CD (パターン寸法、critical dimension) や EUVL 活用における高性能のロジックを牽引している。フラッシュメモリは水平方向のスケーリングから垂直方向のスタッキングに転換した。パターンングの課題は、コストや、プロセスの手順を削減するための検出プロセスに関係している。ナノインプリントパターンングは低価格のイメージング技術で、2022 年におけるフラッシュ製造の可能性に適している。マルチ電子ビームダイレクトライトと DSA (自己組織化、Directed self-assembly) は開発におけるパターンングの手法であるが、EUVL やナノプリントとは異なり、製造において活用されるものではない。今後 8 年ほどの短期間においては、ロジックの CD は縮小し続ける。DRAM の寸法も縮小を続けるが、最小の解像度においてロジックデバイスに後れを取る。EUVL ダブルパターンングを前提にすれば、予測されるすべてのラインとスペースのパターンで必要な解像度が得られる。ラインとスペースのパターンには、欠陥、検査用オーバーレイの課題や、特に確率的な問題の管理といった課題がある。確率的な問題は、分子やフォトレジスト内の化学反応のランダムな配置、イメージングプロセスにおける光子のランダムな到着により生じる。これらは、CD の変化、パターン粗さ、微細パターンの欠陥の要因となる。EUVL でプリントされたパターンの CD は小さいため、確率的な影響は、ばらつき全体の許容範囲のうちの大きな割合を占める。

寸法が小さくなり続けているため、こうした確率は大きな問題となるだろう。コンタクトホールやその他のホールのようなパターンは、ラインやスペースによるあらゆる問題を抱え、さらには解像度の課題もある。今後の 2 つのロジックノード以降、このような寸法は EUVL ダブルパターンングよりも何らかの改善が必要となる (高 NA EUV など)。長期的には、ロジックのスケーリングは寸法の縮小ではなく、垂直方向へのスタッキングにより実現されるようになり、歩留、プロセスステップの統合、エッチングと成膜、およびおそらくはプロセスコストとトポグラフィ上のオーバーレイに関する課題が生じることになるだろう。

2.2.10. YE (歩留向上 *YIELD ENHANCEMENT*)

YE では、機能ユニット数を最大化する製造のために、半導体製造を最適化する取り組みに注力する。この目標を達成するには、製品の製造量にネガティブな影響を及ぼし、その減少につながりうる関連する欠陥やコンタミネーションを特定、削減、回避することが必要である。多くの業界において歩留とは、潜在的に製造可能である製品数に対する、機能的で品質が保証された製品の割合と定義されてきた。半導体業界においては、歩留はウェーハ表面に製造された、集積された回路の機能性と信頼性により表される。IC の製造において、歩留の損失は欠陥、過失、プロセスの変化、設計などにより生じる。欠陥と歩留の関係や、適切な歩留と欠陥との相関関係は、YE にとって重要である。2022 年版 IRDS の歩留の章は、モアムーアの歩留に優れた製造に向けた現時点での進化や次世代における要件のほか、MEMS やバックエンドプロセス (パッケージングなど) などの「重要なプロセスグループ」において差異化されたモアザンムーア製品について述べている。このため、Si、SiC、GaN などの材料に関する仕様を包含することも検討されている。

2022年版 IRDS の章では、一般的なアップデートや、Table YE3（ウェーハ環境のコンタミネーション制御に関する技術要件）にも触れている。

2.2.11. M (メトロロジ METROLOGY)

2022年版 IRDS の M の章では、半導体業界におけるデバイス、システム、インテグレーションなどの新しい測定の課題を明らかにし、それらを克服するための研究や開発のプロセスを説明している。2022年版の M の章では、既存の CMOS、Beyond CMOS 技術、新規の通信デバイス、センサとトランスデューサ、材料特性評価、構造／機能の関係に関して、測定のニーズなどを取り扱う。

また、研究開発において必要とされるメトロロジや、製造におけるプロセス制御、不良解析などにも触れている。今後10年のうちにデバイスのパターン寸法が5ナノメートル未満にまで縮小されると予測されていることに伴い、現在のスケーリングはまもなく物理的な限界に達するか、コストや信頼性の問題がメリットよりも大きくなる事態を迎えるだろうと考えられている。すでに、5-2 nm ノードのチップ用のトランジスタが実証されている。寸法が縮小し続ける中、今後数年間で新しい材料やプロセスを使った複雑な 3D 構造が製造に導入されるとも予想されている。M のロードマップでは、これらの新しい開発により生じた測定の科学的課題に対処しており、課題、潜在的な解決策、技術、ツール、プロセスの制御や製造可能性のために新しいデバイスや材料の特徴付けに必要となるインフラストラクチャについて、長期的な展望を示すことを目指している。

2.2.12. MTM (モアザンムーア MORE THAN MOORE)

「モアザンムーア」は、必ずしもムーアの法則に従ってスケーリングしないものの、異なる方法で付加価値を提供する機能をデバイスに組み込むことに言及したものである。モアザンムーアのアプローチにより、非デジタル機能（RF 通信、電力制御、受動部品、センサ、アクチュエータなど）をシステム基板レベルからパッケージ（SiP）やチップ（SoC）のレベルに移行させることができる。

さらに、SoC や SiP への複雑なソフトウェアの組み込みによる緊密なインテグレーションが一層進展することで、ソフトウェアも性能のスケーリングに直接影響を及ぼす考慮事項に基づく構造となる必要が生じるかもしれない。モアザンムーアの目的は、マイクロエレクトロニクス業界で開発されたシリコンベースの技術の活用を拡大することで、新しい非デジタル機能を提供することである。モアムーアの開発から生まれたスケーリング機能を活用することも多く、デジタルおよび非デジタルの機能を小型システム、および最終的にはシステムオブシステムズに組み込むことを目指す。

2021年に公開されたモアザンムーアのホワイトペーパーは、デバイスの小型化だけでなく、多機能のヘテロジニアスなシステムソリューションを必要としているという観点において、モアザンムーア分野を代表する技術／アプリケーションの領域数を概観することを目的としていた。具体的には、スマートセンサ、スマートエネルギー、エナジーハーベスティング、ウェアラブルで柔軟なプリントドエレクトロニクスなどである。これらは 2022年版においても中心となるシステムソリューションであった。

謝辞のセクションにも記載されているとおり、モアザンムーアに関する IRDS IFT がこの章のコンテンツを作成した。NEREID NanoElectronics Roadmap for Europe により広範囲にわたる利用が実現している。³

2.2.13. ESH/S (環境・安全・健康・持続性 ENVIRONMENT, SAFETY, HEALTH AND SUSTAINABILITY)

ESH/S の章は、業界内外で多くの変化が生じたことを考慮すると、2021年版 IRDS ではアップデートがなされなかった。このため、技術のロードマップの観点から ESH/S の新しい課題にどのように対処するか、本質的なリセットが必要である。しかし、2022年版 IRDS においては、IFT が再び取り組みに注力した結果として、ホワイトペーパーが公開される。重要な問題やギャップを効果的に定義するには、決定的なリスクを把握するため、上流は半導体業界内のサプライチェーンから下流はマイクロエレクトロニクスの主要顧客までを対象とする広範なアプローチにシステムインテグレーションのアプローチが必要となり、強力なつながりや主要ステークホルダーとの調整を行わなければならない。

³NEREID NanoElectronics Roadmap for Europe (2018) 、 <https://www.nereid-h2020.eu/roadmap>

ESH/S IFT を再度確立する取り組みとして、2021 年半ばにキックオフワークショップが行われ、2022 年初めに第 2 回が開催された。これらのワークショップは IFT のメンバーを増やしたり幅を拡げたりする役割を果たし、政府機関や学術研究コンソーシアムのパートナーなど、将来の方向性や業界の注力領域の計画を立てるために必要となる多様なコンテンツや組織を反映することとなった。ESH/S はギャップの特定や解消を行うだけでなく、業界からの主な学びや戦略を外部にどのように応用できるかも検討することで、「環境のため」の働きを実現する。このような ESH/S ロードマップの進化は、以前の ITRS からより広範な IRDS のスコープへの移行とも整合しており、新たな段階へと進む重要な ESH/S の課題の緊密な相互関係を反映している。

2.2.14. 大規模データストレージと不揮発性メモリ *MASS DATA STORAGE AND NON-VOLATILE MEMORY*

デジタル電子システム向けの大規模データストレージ技術の進化と拡大は、重要性と影響力を持つ。この技術はもともと、主にハイエンドコンピューティングやビジネスシステムにおいて 1940~1950 年台に登場したが、多様な技術やアプリケーションを包含するまでに拡張した。現在の技術には、NAND 半導体セル、強誘電体、磁気抵抗ランダムアクセスメモリ、リジッドディスクやテープでの磁気記録、複数の異なる光学ストレージ技術をベースとした、ソリッドステートの不揮発性フラッシュメモリが含まれる。現時点で主流となっている、あるいは今後主流となる可能性のある、新しい大規模データストレージ技術の候補リストは増え続けている。その中には、ソリッドステート相変化（オボニック）メモリ、ハイブリッドフラッシュ/ディスクドライブ、メモリスタストレージ、スピントルク MRAM（マグネティックランダムアクセスメモリ、Magnetic RAM）、その他の磁気スピンベースメモリと光ホログラフィックベースストレージなどがある。

NAND フラッシュメモリ技術は商業的に重要性を増し、最小の HDD（ハードディスクドライブ、Hard disk drive）やパフォーマンスエンタープライズ HDD に代わるものとなっている。不揮発性メモリ製品に基づく磁気抵抗ベースの MRAM 技術は、低容量で高額であるが、市場における地位を確立している。この技術の長期的な成功は、面積効率向上やコストを抑えたスピントルクまたは熱を切り替えたセルへの移行の成功に大いに依存する可能性がある。これにより、キャパシティを増大させ、アプリケーションスペクトラムが多様化するためである。テープや光学ストレージは、アーカイブやデータ転送において、今後も大きな役割を果たしていく。

2.2.15. 自律型マシンコンピューティング *2.2.14. AUTONOMOUS MACHINE COMPUTING*

自律型マシン（自律走行車など）は非常に複雑なシステムで、さまざまな技術を統合したものである。自律型マシンを私たちの日常生活のなかで欠くことのできない要素とするために、業界はさまざまな技術課題に直面している。ホワイトペーパーで、著者はデバイスやシステムに関する技術課題を分類し、現在の状態や障壁、研究の方向性の可能性を紹介している。自律型マシンの成長を円滑に進めるために、電子デバイスやシステムと関係の深い、これらの技術課題を分類している。

この概念を伝えるために、いくつかの例を提示する。

他のコンピューティングのワークロードとは対照的に、自律型マシンには非常に詳細な処理のパイプラインや計算のグラフがある。これには、さまざまな段階の間に強い依存関係があり、それぞれの段階に関連して厳格な期日が設定されている。したがって、例えば自律走行車は 10 ms ごとに制御コマンドを生成し、車を操縦する必要がある。上流のモジュールで出力を生成する期日を守れない場合、コントロールモジュールは期日までにコマンドを生成しなければならない。自律走行車はパーセプションユニットからタイミングよく情報を得ることができず、本質的には手探りの状態で運転をすることになるため、非常に悪い結果が出る可能性がある。

自律走行車の計算システムを設計する主な技術課題は、リアルタイムの性能やコスト、エネルギーの制約条件を満たしつつ、多様な種類の自律走行車から同一の計算回路基板まで、さまざまな計算グラフを柔軟にマッピングできるソフトウェアスタックとともに、適切なコンピュータアーキテクチャを開発することだと言える。既存の CPU は柔軟性の要件には適合するものの、性能やエネルギーの制約条件を満たすことはできない。他方、特にアクセラレータなどの他の計算回路基板は、一般的に 1 つのモジュールで性能とエネルギーの制約条件に対応することを目指す。

60 年以上の情報技術の発展を経て、自律型マシンは今後 10 年間の日常生活や経済を完全に革新したと考えられている。自律型マシンが社会にもたらす影響は、私たちが過去数十年にわたり経験してきた他のどのような情報技術の革命よりも深く広いものだと言えそうだ。

3. ロードマップ全体のドライバー - ORSC (ロードマップ全体のシステム指標、OVERALL ROADMAP SYSTEM CHARACTERISTICS) と ORTC (ロードマップ全体の技術指標、OVERALL ROADMAP TECHNOLOGY CHARACTERISTICS)

3.1. システムの性能の考慮事項

システムの性能は、ハードウェア、アーキテクチャ、ソフトウェアアルゴリズムが調和の取れた状態で統合されているかどうかで決まる。PC の時代においては、ハードウェアのアップグレードは全て、十分に確立されたシステム・アーキテクチャに容易に「適合」し、システムの性能を劇的に改善した。NTRS と ITRS は「食物連鎖の上位」にある新しい技術世代に従い、システムの性能の継続的な改善を報告した。しかし、動作するプロセッサとメモリデバイスの速度が不均衡であるために、プロセッサチップ上のかつてなく大量のキャッシュメモリを移行せざるを得なくなった。

しかし、このソリューションでは十分ではなく、スーパースカラマイクロアーキテクチャが、パイプラインがより深いにもかかわらず高周波を実現したことで状況はさらに深刻になった。これにより、実行する分岐命令を待つことで可能になるよりも多くの指示が、「移行中」に求められるようになった。そのため、*投機的実行*が必要になった。これは、プログラムがどのようなプロセスをたどるかを予測し、それを予め並行して実施することを指す。このように、高周波は深いパイプラインを意味するようになったが、今度はそれによって、さらに投機的に命令を実行する必要が生じたのである。しかし、100%正確な予測は存在しない。これらのマイクロプロセッサは、予測の誤りにより、必ず余計な作業を実行していた。パイプラインが詳細であるほど、このような実体のない命令により多くの電力が浪費された。

2010 年台半ばに、マイクロプロセッサの電力損失は本質的な上限に達し、トランジスタの性能により回路が容易に数 10 GHz 以上で動作するようになっていたにもかかわらず、動作周波数を上げることはできなくなっていた。このような電力の制限のために、マルチコアに対するプロセッサのアーキテクチャに劇的な変化が生じ、複数のコアの間でデータ取得と計算タスクを分離することで、ほぼ独立して動作できるようになった。現在、複数のアーキテクチャが新たに調査され、特定のアプリケーション用にカスタマイズされている。

IRDS は、共に作用し合う包括的な方法で、システムとデバイスの要件を策定し、調整している。このことは、より強力な新しいシステムインジケータが、ロジックとメモリのインジケータに対して並列で生成される必要がある理由を示している。

3.1.1. アプリケーションベンチマーキングとシステム・アーキテクチャ *APPLICATION BENCHMARKING AND SYSTEMS AND ARCHITECTURES (AB AND SA)*

先ほど概要を示した新しい要件は、AB IFT の成立とシステムインテグレーション IFT の拡大につながり、アーキテクチャの要素も含むことで、SA IFT となった。これらのテーマについてのさらなる情報は、AB および SA の章に掲載されているが、IRDS の包括的な新しいアプローチの概要を示す例を 1 つ挙げておく価値はあるだろう。

44 ロードマップ全体のドライバー - ORSC (ロードマップ全体のシステム指標、Overall roadmap system characteristics) と ORTC (ロードマップ全体の技術指標、Overall roadmap technology characteristics)

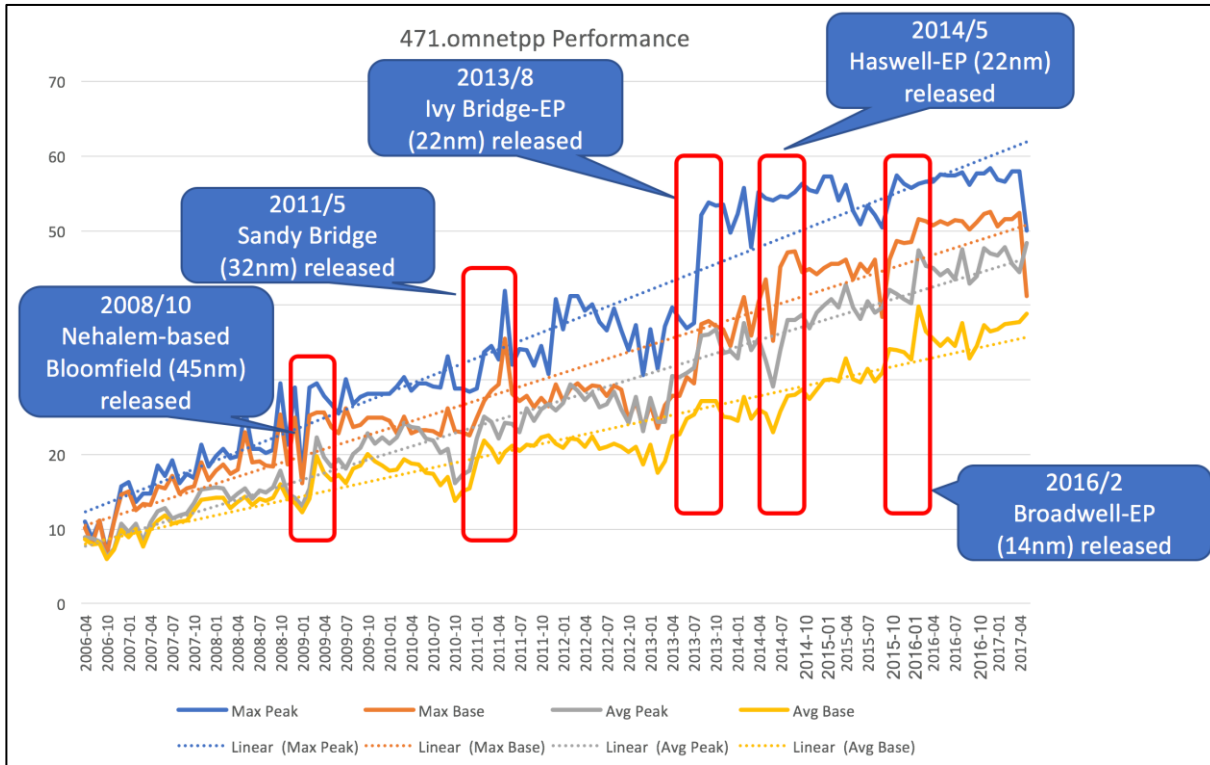


Figure ES36 471.omnetpp ベンチマークの性能の推移

2020年版のABの章から引用したFigure ES36では、471.omnetppの経時的な性能が示されている。DES（離散事象シミュレーション、Discrete Event Simulation）は、時間の中で離散的に生じるイベントとしてシステムの動作をモデル化する。このプロットは、4本の実線で示された毎月の値域ごとの最大および平均のスコアにより、ベースおよびピークの性能が示されている。また、各指標の線形回帰を表すのが4本の点線である。概して性能は時間と共に改善されているように見えるが、ときどき性能が急上昇していることに注意すべきである。これらは大体において、図に示されるとおり、IntelがCPUの主要なリリースを行った時と連動している。注目したいのが、SPECにアップロードされたデータには、システムのリリース日ではなく、データに関連するテストの日付のみがあることである。★理論上は全8,600のデータポイントについて、システムリリース日を全て調べることは可能だが、一般的に、新しいシステムほど任意の時点で調査を行いやすいため、テスト日はシステムリリース日と整合すると想定した。

この時間枠付近でリリースされた Ivy Bridge-EP プロセッサは、25MB の LLC（ラストレベルキャッシュ、last-level cache）を持つ初のプロセッサで、471.omnetpp のワーキングセット全体に十分適合する。これは、ベンチマークのピーク時の最大パフォーマンスが、その時点を過ぎても多少は維持される理由も示している。もちろん、DES のドメイン全体は、制限されたサイズの入力セットにより、この単一のベンチマークに制限されるべきではない。しかし、メモリの限界やキャッシュに反応しやすいことは、DES のワークロードを説明する一般的な特徴であろう。

さらに、AI/ML についてのベンチマークやトレンドの予測は、重要なトピックスの1つである。これは、ABの章で議論されている。AI/ML のアルゴリズムは長年にわたりさまざまな場所で展開されてきたが、DNN（ディープニューラルネットワーク、Deep neural network）の特定のクラスは過去10年の間に、さまざまなワークロードで商業的アプリケーションを見出してきた。その中には、画像分類、物体検出、音声認識、機械翻訳、レコメンデーションシステム、テキストの感情分析/分類、言語モデル、テキスト読み上げ、顔認識、画像セグメンテーション、画像補正などがある。CIM（メモリ内計算、Compute in memory）は、「アナログAI」の手法の並列化された積和演算機能を実現するパラダイムである。これに代わり、SRAM（スタティックランダムアクセスメモリ、Static random-access memory）などのデジタルメモリデバイスや RRAM（抵抗型ランダムアクセスメモリ、Resistive

random-access memory) などのコンパクト NVM が、カスタマイズされたメモリアレイでマルチビットのシナプスをエンコードする際に使用されている。これは、実際のメモリ読み込みの間に、AI/ML の推論 (およびトレーニング) を行うために必要となる一部、または全部の積和演算を実行するよう設計されている。SRAM ベースの CIM マクロの利点は、SRAM の耐久性の高さにより、小さなマクロをさまざまな重み値で再利用できるため、マクロサイズを AI/ML モデルの合計サイズと一致させる必要がないことである。一方、RRAM ベースの CIM マクロの利点は、少なくとも最終的には密度がより高くなることである (例: ビットあたりの面積が低い)。

Figure ES37 では、DNN のトレーニングや推論のためにリリースまたは発表されたさまざまなシステムの未加工の計算能力に関して、公開された一部のデータに基づき、TOPS (データポイント) および結果の TOPS/W (緑の点線) が (a) トレーニングと (b) 推論で報告されるシステム電力の関数として、どのように異なるかを示している。推論では、性能は主として、1 Top/W 時点で性能対電力消費が同等の傾向がある。

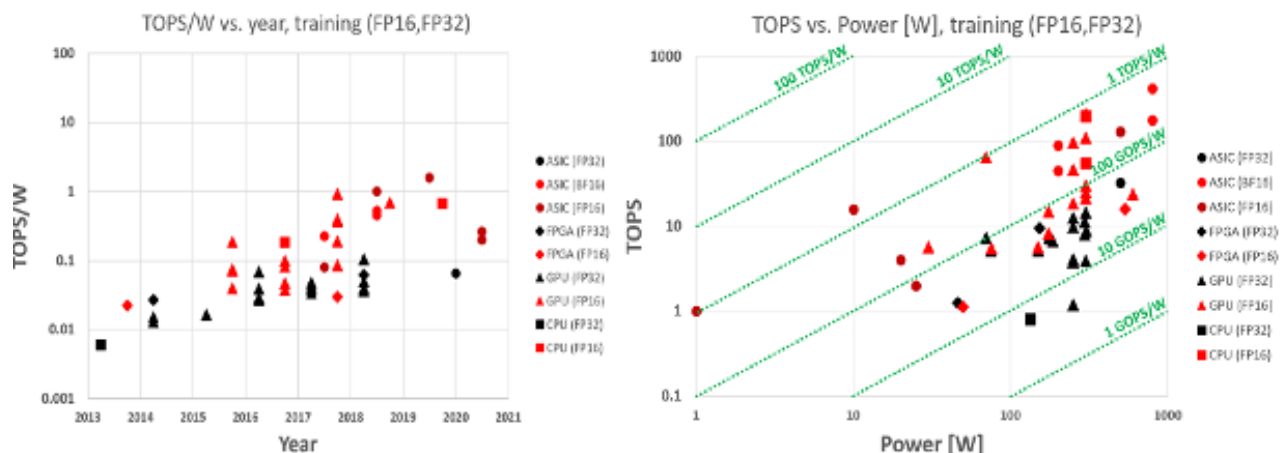


Figure ES37 (a) トレーニングと (b) 推論で報告されるシステム電力の関数としての TOPS (データポイント) と結果の TOPS/W (緑の点線)

3.2. ロードマップ全体のシステム指標とロードマップ全体の技術指標 OVERALL ROADMAP SYSTEMS AND TECHNOLOGY CHARACTERISTICS (ORSC AND ORTC)

非常に複雑な新しいシステムとデバイスのエコシステムについて、単純なトップダウンの見解を示すことは容易ではない。そのため、一部の基本的な定義を含め、何が研究の対象となっているかを簡単に記述する必要がある。本概要では、システム要件からデバイス使用まで、進行中の要素の概要を簡単に提示する。ORTC は 2020 年に作成され、最小のメタルピッチは 36 nm で評価された (Table ES1)。その年の後半に、ある企業がメタルピッチを 30 nm にしたことが明らかになった (Figure ES30 の星印を参照)。これらの数値については、最新の結果を参照のこと。

Table ES1 ORSC

YEAR OF PRODUCTION	2021	2022	2025	2028	2031	2034	2037
Cloud Computing (CC) Latency Sensitive Processors							
Number of Cores per socket (max) [1]	46	64	128	256	384	640	896
Processor Base Frequency (for multiple cores together) [2]	3.20	2.5-3.3	3.0-3.6	3.4-3.7	3.4-3.7	3.4-3.7	3.4-3.7
L1 Data Cache Size (in KB) [3]	38	40	42	42	44	44	44
L1 Instruction Cache Size (in KB) [4]	64	96	128	128	160	160	160
DDR bandwidth (TB/s)	0.2	0.31	0.76	1.02	1.2	1.2	1.2
Number of DDR channels	8	12	12	16	16	16	15
	DDR4	DDR4	DDR5	DDR5	DDR6	DDR6	DDR6
Socket TDP (Watts)	280	300	450	600	600	700	700
SA-OSC Personal Augmentation Table [5] - Focus Drivers Line Items							
# CPU cores	8	8	16	28	32	32	32
# GPU cores	32	32	64	128	256	512	512
Max Freq (GHz)	2.8	2.8	3.0	3.2	3.4	3.4	3.4
5G Maximum Data Rate (Gbps) [6]	5	5	7	10	20	50	70
# Sensors	8	10	12	12	16	16	16
Board Power (mW)	5618	5900	6830	7900	9150	10500	11000
SA IoT Table - Focus Drivers Line Items							
CPUs per device [7]	2	2	4	6	8	8	8
Max CPU Frequency (MHz)	305	310	325	341	360	375	390
Energy Source (B = battery, H = energy harvesting)	B+H	B+H	B+H	B+H	B+H	B+H	B+H
Sensors per device	8	8	12	16	16	16	19
SA CPS Table - Focus Drivers Line Items							
Number of Devices	64	64	128	256	512	512	512
CPUs per Device [7]	8	8	12	12	16	16	16

Table ES1 の注 :

- [1] SPECint_rate のスケーリングのために必要
- [2] 周波数はスローダウンしているが、冷却の改善により改善されている (より高い TDP を許容)
- [3] メモリからロードする遅延時間は、L1 データキャッシュのサイズについて成長が一定、または制限されていることを示している
- [4] クラウドアプリの命令のフットプリントは増大している (Google データウェアハウスの論文を参照)
- [5] パーソナルオーグメンテーションは 2021 年版 IRDS ではモバイルとして定義されている
- [6] 最大のモバイルセルラーデータレートには、4G、LTE、5G、6G (2031 年以降) とモバイルセルラーデータレート以降が含まれる。6G は 2031 年に導入が開始される予定である。最大データレートは 2034 年には 50 Gbits/秒、2037 年には 70 Gbits/秒と予測される。
- [7] 明確化のため、「デバイス」という名称はチップレベルの VLSI チップと CPU アーキテクチャを指すものとする。これには、単一のチップに統合された多くの CPU を含むことがある。多くの VLSI デバイスと CPU は、携帯電話や IoT、柔軟または堅固な回路基板、サーバやスイッチ「ブレード」上などの多数の回路基板上に統合されており、それ自体はラックやボックス、行などに非常に多数存在する。

Table ES1 は、クラウドコンピューティング、モバイル、IoT、サイバーフィジカルシステムにおける主要システムの特徴の一部をまとめたものである。

全てのケースで CPU や GPU のコア数が対象期間を通じて増加し続けていることが分かる。いずれのケースでも、データエラーレシオの量が継続的に増大していくことが期待され、これらの要件には実質的に制約がないように見える。動作周波数も上昇し続けているが、モバイルシステム以外は中程度の成長率である。モバイルシステムについては、動作周波数の増大によってのみ、広帯域化への強い需要を満たすことができる。しかし、このような周波数の上昇は、注意深い電力管理によって電力損失を非常に低い水準に抑える場合にのみ実現できると考えることができるかもしれない。

Table ES2 では、ロジックおよびメモリデバイスの主要な技術の特徴についてまとめている。従来の業界の「ノードレンジ」ラベリングは、過去には NVM (不揮発メモリ、Nonvolatile memory) 製品のハーフピッチのみを正確に追跡していたが、ここでは利便性のために表示されている。NTRS/ITRS の技術名の命名の定義は、(従来はポリ

シリコンベースの) ゲートのハーフピッチとメタルハーフピッチを基準としていた (Figure ES25)。この定義は、メタルピッチを用いた IRDS の定義とも容易に連携できる (Figure ES28)。

システムインテグレーションのアンカーポイントには、ウェーハレベルおよびチップレベルで代替となる技術を示す、技術の進化における主要なステップを含む。アンカーポイントの 2D の進化と 3D の垂直インテグレーション技術の進化により、「ムーアの法則」のスケールリングを引き続き進めたり、これまでの速度でインテグレーション機能の向上による「等価的スケールリング」を実現したりできる。詳細は Table ES2、および モアムアの章、および表を参照のこと。

Table ES2 システムインテグレーションのアンカーポイント

製造年	2021	2022	2025	2028	2031	2032	2034	2037
システムインテグレーションのアンカーポイント	2D	3D スタッキング: W2W、D2W Mem-on-Logic	3D スタッキング: W2W、D2W Mem-on-Logic	3D スタッキング、 ファインピッチ スタッキング、 P-over-N、 Mem-on-Logic	3D スタッキング、 3DVLSI: 配線による Mem-on-Logic	3D スタッキング、 3DVLSI: 配線による Mem-on-Logic	3D スタッキング、 3DVLSI: Logic-on-Logic	3D スタッキング、 3DVLSI: Logic-on-Logic

Table ES3 Overall Roadmap Technology Characteristics

2022 IRDS ORTC	2021	2022	2025	2028	2031	2034	2037
YEAR OF PRODUCTION	2021	2022	2025	2028	2031	2034	2037
Logic device technology naming note definition [1a]	G51M29	G48M24	G45M20	G42M16	G40M16T2	G38M16T4	G38M16T6
Logic industry "Node Range" Labeling (nm) [2]	"5"	"3"	"2"	"1.5"	"1.0-eq"	"0.7nm-eq"	"0.5nm-eq"
Fine-pitch 3D integration scheme		Stacking	Stacking	Stacking	3DVLSI	3DVLSI	3DVLSI
Platform device for logic [1b]	FinFET	FinFET LGAA	LGAA	LGAA CFET- SRAM	LGAA-3D CFET- SRAM	LGAA-3D CFET- SRAM	LGAA-3D CFET- SRAM
LOGIC CELL AND FUNCTIONAL FABRIC TARGETS							
Digital block area scaling	1.00	1.00	0.74	0.55	0.26	0.13	0.08
LOGIC DEVICE GROUND RULES							
MPU/SoC M0 1/2 Pitch (nm) [3]	15	12	10	8	8	8	8
Gate length (nm) [4]	17	16	14	12	12	12	12
Lateral GAA (nanosheet) Minimum Thickness (nm)		1	3	3	4	4	4
Number of stacked tiers [5]		1	1	1	2	4	6
Number of stacked nanosheets in one device [5]		1	3	3	4	4	4
LOGIC DEVICE Electrical							
Vdd (V) [6]	0.75	0.70	0.65	0.65	0.60	0.60	0.60
DRAM TECHNOLOGY							
DRAM Min half pitch (nm) [7]	17.5	15.5	13	14	11.5	10	10
DRAM cell size (μm^2) [8]	0.00184	0.00165	0.00118	0.00085	0.00062	0.00044	0.00025
DRAM storage node cell capacitor voltage (V) [9]	0.50	0.45	0.45	0.43	0.4	0.4	0.4
NAND Flash							
Flash 2D NAND Flash uncontacted poly 1/2 pitch - F (nm) 2D [10a,b]	15	15	15	15	15	15	15
Product highest density (3D) (commercialized) [11]	1T	1.3T	2.6T	4T	6T	8T	12T
Flash Product Maximum bits/cell (2D_3D) [12]	2_4	4	5	5	6	6	6
Flash 3D NAND Maximum Number of Memory Layers [13]	64-97	128-192	256-384	384-576	576-768	768-1024	1024-1536
Maximum chip size (mm^2) [14]	140	140	140	140	140	140	140

Table ES3 の注 :

ORTC の表の注

[1a] GxxMxxTx の表記は、Gxx がコンタクトゲートのピッチ、Mxx が最も狭いメタルピッチ (nm 単位)、Tx が層の数を表す。この表記法は、技術のピッチスケールリングの能力を表す。ピッチスケールリングに加え、セルの高さ、フィン過疎化、DTCO での構

48 ロードマップ全体のドライバー - ORSC (ロードマップ全体のシステム指標、Overall roadmap system characteristics) と ORTC (ロードマップ全体の技術指標、Overall roadmap technology characteristics)

成、3D インテグレーションなど、対象エリアのスケーリング (ゲート/mm²) を定義する要素は他にもある。 [MM の章の Table MM-7 より]

[1b] 表で用いられる頭字語 (登場する順に) : LGAA - 横型ゲートオールアラウンド (GAA)、CFET (コンプリメンタリ電界効果トランジスタ)、3D VLSI - ファインピッチ 3D ロジックシーケンシャルインテグレーション [MM の章の Table MM-7 より]

[2] 業界のラベリングの慣例 (初期のノードについては x0.7) は、完全な PPA (性能、消費電力、面積) のメリットがノードサイクルから、SoC 面積が一般的には 0.55~0.70 倍の係数でスケールする領域へ移行していることを示している。

[3] 水平方向のローカルインターコネクト (M0) ピッチ。多くの場合、これは SoC の最も狭いメタルピッチで、標準のセルの高さのスケーリングを実現する。M0 ピッチは 0.70~0.85x のスケーリング係数に従う。このスケーリング係数と、GPP (Contacted Poly Pitch) や設計面積のスケーリングから生じる他のスケーリング係数を組み合わせることにより、SoC 面積が一般的には 0.55~0.70 倍の係数でスケールする次のノードに、完全な PPA のメリットを提供する。

[4] 金属ソース/ドレイン接合間の距離として定義される

[5] 3D ファインピッチスタッキングは 2 つの深度の階層で実行される。1 つ目の深度の階層は、1 つのデバイスで垂直に積層されたナノシートの数により実行される。ここでは、デバイスは NMOS または PMOS デバイス、あるいは PMOS および NMOS が垂直に積層された CFET デバイスの可能性がある。垂直に積層されたナノシートの数とナノシートの幅は、ノードからノードへの最適な PPA でのスケーリングを実現できるように決定される。2 つ目の深度の階層は、垂直に積層された層の数である。それぞれの層は、単一のデバイスの層と、デバイスを互いに接続するために使用される配線の層から形成される。例えば、1 つ目の層は計算ロジック、2 つ目の層はメモリ層、3 つ目の層は I/O 層などとなる。

[6] VDD とは、最小のチップレベルの動作電圧である。2021 年にデバイスが扱うのは FinFET トランジスタで予測されるリーク電力よりも高く、0.75 ボルトの VDD が必要となった。2020 年の動作電圧は 0.70 ボルトの水準であった。

[7] DRAM ハーフピッチの定義はこの版で変更された。6F2 DRAM セルのために、BL のピッチはパターン寸法ではなくなった。計算されたハーフピッチは、以下の方程式で用いられる。「計算されたハーフピッチ = (セルエリア/セルサイズファクタ)^{0.5}」プロセス開発のパターン寸法において、最小のハーフピッチも導入されている。現在のアクティブ領域 (長い長方形の島状の形) のハーフピッチは、6F2 DRAM のパターン寸法である。

[8] DRAM セルサイズは、技術に基づきコストを最小化した結果である。

[9] DRAM ストレージノードキャパシタの電圧は低くすることで、結果として生じる絶縁体の電界を許容可能な範囲にとどめる必要がある。

「 [10a] 2D NAND string は緊密にパックされたポリシリコンの制御ゲート (ワード線) で構成される。これはセル内部で接触することなく、デバイスのソースとドレインを分離する。現時点で、全ての技術の中で最も狭いピッチが、このような非接触のワード線のピッチである。しかし今後 EUV リソグラフィが導入されると、メタルハーフピッチが 2D NAND のそれよりも短くなる可能性がある。さらに、2D NAND は今後開発されることのないレガシー技術であるため、表のハーフピッチは 2019 年以降変化していない。

[10b] データ帯域幅を高めるため、3D NAND は各セルの x-y プリントスペース内に 2 本のビット線をパックしている。これらのメタルビット線はアレイの垂直チャネルに互い違いの複雑な方法で接触するため、メタルピッチ (通常は metal-2) が狭くなる。現在、このように狭まったコンタクトピッチは DRAM や Logic のコンタクトメタルピッチよりも短い。しかし、3D NAND の x-y フットプリントは変化しない傾向があるため、他の技術が今後 3D NAND 以上に狭いメタルピッチを実現する可能性もある。」

[11] 製品の最も高い密度は、一般的には技術の評価に用いられるが、誤解を招く可能性もある。第一に、ここで言う密度は本当の意味での密度 (cm² あたりのビットの数など) ではなく、製品のチップ内のビットの数を表す (128Gb など) の言葉は、本当は商業的に実現可能な 1 つのチップに詰め込むことのできる最大のビット数を意味する。第二に、歩留とフォームファクタへの懸念のため、メーカはダイのサイズを最大化しないことがある。一般的に、最適化された製品のダイサイズは実現可能な最大値の 50~70% であることが多い。最大サイズのダイ (めったに商品化されることはない) の実現可能なビットの最大値と区別するため、このカテゴリには「commercialized (商品化された)」という言葉が付加される。

[12] 2D NAND には、4 つのロジックレベル (セルあたり 2 ビット) および 8 つのロジックレベル (セルあたり 3 ビット) の MLC (マルチレベルセル、Multi-level cell) の使用が慣例となっている。3D NAND のデバイス寸法はこれより大きいため、セルあたり 4 ビット (QLC) の製品も対応可能となっている。決して容易に実現できるわけではないものの、今後数年間でセルあたり 5 および 6 ビットの製品の実現にも楽観的に考えられている。セル内のストレージビット数が増加しても製造費やエリアのオーバーヘッドが上昇する原因とはならないため、これは望ましいことである。一方、技術的には課題があり、書き込みエンデュランスやアクセス速度を犠牲にするなど、性能において困難なトレードオフも伴う。しかしながら、読み取りを重視する多くのアプリケーションに低コストのストレージを提供できる可能性がある。

[13] 3D 層の数はセルのハーフピッチ、セルあたりのビット数、選択する 3D NAND 技術のアーキテクチャに依存するため、独自の機能ではない。3D 層の数が少ないと、一般的にはビットコストは低くなるが、デコーディングの方法、速度の性能、歩留などの他の要素も考慮する必要がある。同じ密度の製品でも、ハーフピッチを狭め、セルあたりのビットを増やし、層を少なくするか、ハーフピッチを拡げ、セルあたりのビットを減らし、層を増やすか、いずれでも実現できるため、3D 層の数はさまざまである。過去数年のうちに、すべての 3D NAND 製品の層の数は 3 年ごとに約 2 倍増えている。この傾向は、高額な製造費やオーバーヘッドに接触する層の増加のためにリターンが減少することを理由に、今後速度を緩めるかもしれない。実際のところ、技術的には困難であるとは言え、セルあたりのストレージのビット数が増えることで、そのような問題を回避できるようなものである。

[14] チップサイズの潜在的な最大値はノード間でほぼ一定である。これは、主要なアーキテクチャで x-y フットプリントが固定されているためである。しかし、実際の製品は歩留を上げるため、ダイのサイズが大幅に小さいことがある。一方、パフォーマンス速度も懸念事項である。最近の製品についてのアンケートでは、多くの商用製品のダイサイズは潜在的な最大値の約 50%であると示されているようである。

4. 主要な技術課題

4.1. 短期的技術課題

4.1.1. AB (アプリケーションベンチマーキング、APPLICATION BENCHMARKING)

4.1.1.1. ビッグデータ分析

グラフ処理の性能の向上は、主に 3 つの要因により実現される。すなわち、1) アルゴリズムの改善、2) メモリ帯域幅、3) 帯域幅である。プロセッサの性能は直接的には影響しない。

ここ数年における TEPS (1 秒あたりにたどるグラフの枝の数、Traversed edges per second) の向上は、使用されるアルゴリズムの改善も一因である。この要素は引き続き影響力を持つものと思われる一方で、改善による収穫逓減が予想される。

現在最も重要なリソースはメモリおよびグローバルネットワークの帯域幅とレイテンシである。

- グラフの問題は、計算への通信の割合が高い。
- 局所参照性はほとんどない。

メモリ帯域幅のニーズ：現在優れたマシンは、メモリ帯域幅の合計が 1 秒あたり 5 ペタバイトである。

- 次世代のマシンは、HBM などのパッケージ内の DRAM により、1 秒あたり約 20 ペタバイトを実現すると見られる。

4.1.1.2. 特徴認識

デジタルハードウェアの短期的な展望として、重要なハードウェアにおいては、DNN アルゴリズムと整合性の高いシストリックコンピューティングユニットの設計、および高帯域幅かつ妥当な電力で大量のメモリへのデータ送受信を実現する機能へのニーズが生じると見られる。

ネットワークの帯域幅を効率的に活用することで、分散学習をさらに改善し、複数の「作業着」が最低限の情報を交換するだけで共働できるようになる。

4.1.2. SA (システム・アーキテクチャ、SYSTEMS AND ARCHITECTURES)

4.1.2.1. IoT エッジデバイス

IoT エッジデバイスは、複数の厳しい要件を満たす必要がある。センシング、計算、セキュリティ、通信のために消費するエネルギー量を抑えなければならない。クラウド向けに利用できる帯域幅に強力な制約がある状態で動作するよう設計する必要がある。

多くの IoT デバイスは AI 機能を持つようになる。オンラインでの監視機能や教師なし学習については、搭載されることもされないこともある。これらの AI 機能を提供する際には、エネルギー量は非常に低く抑えなければならない。さまざまな AI 対応の製品が導入されてきた。いくつかの AI 技術は、畳み込みニューラルネットワーク、ニューロモルフィックラーニング、ストカスティックコンピューティングなど、IoT エッジデバイスにおける AI の成長に貢献する可能性がある。

IoT エッジデバイスはセキュリティが確保された安全な設計とし、操作時のプライバシーを提供する必要がある。

4.1.2.2. パーソナルオーグメンテーションシステム

パーソナルオーグメンテーションシステムは、システム設計者にいくつかの課題を投げかけている。長年にわたり、映画やライブ、TV などのマルチメディアの閲覧は、モバイルシステムの仕様の進化を促してきた。今では多くの点で人間が認識できる解像度の限界に到達しており、ディスプレイの解像度やその他のパラメータに対する要件の増大も、マルチメディアのニーズに応じて今後限界を迎えるだろう。しかし、拡張現実により、モバイルデバイスの I/O (入出力、Input/Output) についての高度な仕様に対するニーズが刺激されることになる。パーソナルオーグメンテーションデバイスの購入者は、ますます多様化する、ポータブルやウェアラブル、インプラント型のフォームファクタに対し、年に 1 度の頻繁な製品アップデートを要求している。このように速いペースで更新されることで、迅速なシリコン設計サイクルを実現するための設計手法に影響が生じる。また、プログラマビリティの活用により、所定のプラットフォームで多様なモデルを提供することも示唆しうる。金融取引や遠隔医療は、今ではパーソナルデバイスを使って実施されている。このような傾向は、特に金融技術が飛躍的に進化しつつある新興国で進展することが期待される。セキュリティとプライバシーはパーソナルデバイスに関する主要な懸念事項であり、特に金融や医療の取引においてその傾向が顕著である。

4.1.2.3. クラウドアプリケーションとシステム

クラウドアプリケーションは、システム設計者にいくつかの課題を投げかけている。データセンタはヘテロジニアスコアタイプの利点を活用し始めているが、これは長年にわたり組み込みシステムが行ってきたのと同様である。システム・アーキテクチャは、これらの専門化されたコアの利用状態に対し、専門化されたアクセラレータを用いることで、選択したアプリケーションの性能改善のバランスを取る必要がある。ソーシャルネットワークングや AI における大規模な問題は、アルゴリズムがメモリの速度で実行されるため、マルチプロセッサが計算を行う必要があることだ。有用なローカリティの範囲（プログラマーが事実上ローカルなデータを活用できる距離）は重要な指標である。オプティカルネットワークにより、今後数年で有用なローカリティの範囲が大幅に拡大されることが期待される。メモリ帯域幅はコアの性能とソケットあたりのコア数の両方について制約事項となる。積層されたメモリは商用利用されつつあるが、帯域幅のより高いメモリ接続を提供する。消費電力も引き続き重要な制約事項である。

クラウドシステムは大きな課題を示している。ヘテロジニアスのアーキテクチャは、主要機能のより効率的な計算を提供できる。積層されたメモリを含め、新しいメモリシステムは高い性能を実現し、電力消費を抑える。内部の配線の進化により、システム・アーキテクチャに転換が生じる可能性がある。「ハイパーコンバージェンス」という言葉は、I/O の速度が内部の配線の速度に近づくポイントを説明するために用いられている。

4.1.3. OSC (アウトサイドシステムコネクティビティー OUTSIDE SYSTEM CONNECTIVITY)

4.1.3.1. RF アナログ技術

RF の主な課題は、IoT デバイス向けに多様なアプリケーションをサポートする機能を処理および提供する CMOS と互換性を持つ、高性能でエネルギー効率の良い RF アナログ技術を実現することである。エネルギー効率に優れた高性能な RF を実現するには、CMOS 処理と互換性のある技術により、CMOS ゲートの抵抗を減らす必要がある。さらに、SiGe (シリコンゲルマニウム、Silicon germanium) および III-V の性能により f_t と f_{max} を増大させつつ、CMOS との統合を実現しなくてはならない。受動デバイスを CMOS 上で高い性能と調和させることが必要である。

システムやコンポーネントが 5G の性能要件に適合するためには、 <6 GHz の大規模な MIMO (多重入力多重出力、Multiple input multiple output) と 28 GHz 通信を低電力かつ費用対効果に優れた方法でサポートし、増幅器のエネルギー効率を向上させつつ動作周波数を上げるデバイス、干渉のない状態でノイズを抑えた高密度の通信、小型モバイルデバイス内で複数の帯域での通信に対応するアンテナ、mmWave (ミリ波、Millimeter wave) や大規模な MIMO 5G に対応する低価格で効率に優れた指向性アンテナが必要である。

4.1.4. MM (モアムーア MORE MOORE)

4.1.4.1. ロジックデバイスのスケーリング

2022 年以降、FinFET から GAA への移行が始まるだろう。フィン幅のスケーリング（静電気制御を維持するためのゲート長のスケーリングが飽和している）やコンタクトの幅の制限のためにゲート長のスケールダウンの余地がない場合には、垂直ナノワイヤデバイスへの移行も必要となる可能性がある。

FinFET と横型 GAA デバイスは、フィンのピッチのスケーリングが積極的に進められ、フィンの高さが増している場合には、ユニットフットプリントでより駆動電流を増やすことができる。このようにフィンのピッチのスケーリングで増大したユニットフットプリントでの駆動電流により、ゲートとコンタクトの間のフリンジキャパシタンスと直列抵抗の間のトレードオフが生じる。フィンの数を減らしつつ、フィンの高さを増すことによって駆動電流のバランスを取ると生じるこのような傾向は、フィン過疎化戦略と言われ、同時に標準的なセルの高さを下げることで、チップエリア全体も縮小される。

配線において最も困難な課題は、ワイヤの伝導度の要件に適合し、誘電率を減じる新しい材料の導入である。伝導度については、配線構造上のサイズ効果の影響を緩和する必要がある。将来的には、実効的誘電率 κ の要件によりデュアルダマシン構造のトレンチエッチストップの使用が排除される。

4.1.4.2. DRAM および 3D NAND フラッシュメモリ

DRAM ストレージキャパシタがスケーリングにより物理的に小さくなることにより、適切なストレージキャパシタンスを維持するには、EOT（等価酸化膜厚、Equivalent oxide thickness）の急激なスケールダウンが必要となる。EOT をスケールするには、高比誘電率（ κ ）を備える誘電材料が必要である。そのため、MIM（金属・絶縁膜・金属、Metal-insulator-metal）のキャパシタは、40~30 nm ハーフピッチ DRAM として高比誘電率の誘電体（ $ZrO_2/Al_2O_3/ZrO_2$ ）を使って導入されてきた。この材料の進化と改善は、20 nm の HP（高性能、high-performance）かつ超高比誘電率（ペブロスカイト $\kappa > 50 \sim 100$ ）の材料がリリースされるまで続くと見られる。また、高比誘電性絶縁体の物理的な厚みもスケールダウンされ、最小のサイズとなる。それにより、キャパシタの 3D 構造はシリダー型からピラー型に変化する。

3D NAND の経済性は、複雑で独自の製造ニーズのためにさらに困難な課題を抱えている。セルサイズが大きくなることで微細な線によるリソグラフィの要件は軽減されるが、データレートを高めるには、大きなページサイズを使うことが望ましい。すなわち、ファインピッチのビットラインやメタルラインである。そのため、セルサイズが大きくても、メタルラインはやはり 20 nm 以下のハーフピッチが必要となる。これは、ダブルパターンングによる 193i リソグラフィによってのみ実現できる。深孔のエッチングは困難で時間がかかるため、エッチングのスループットは一般的に非常に低い。また、絶縁体やポリシリコンの多くの層の設置や、マルチレイヤフィルムと深孔のメトロロジなどはいずれも、十分な知見のない領域における課題も同然である。これら全てが、新しい機器やフロアスペース、ウェーハのフローや歩留への大規模な投資を生み出している。

4.1.5. 新探究材料 EMERGING RESEARCH MATERIALS

4.1.5.1. ロジックデバイスのスケーリングのための材料

横型 Fin およびナノワイヤ FET（Si、SiGe、Ge、III-V）の性能やパワースケーリングを実現する材料やプロセスは以下のとおり。

- <0.5 nm の EOT を備え低リークの統合型 high- κ 絶縁体
- 接触抵抗が極めて低い統合型のコンタクト構造
- FET 構造の III-V 材料において、高い正孔移動度を実現
- FET 構造において、接触抵抗の低い Ge 内での高電子移動度の実現
- 低転位と Ge/III-V チャネル材料と Si の間にインターフェイスを生成する逆位相境界を達成するプロセス
- ドーパントの配置と活性化。すなわち Si や代替の材料における V_{th} 制御と S/D（ソース・ドレイン、Source/drain）のために正確な場所で望ましい数による決定論的ドーピングを行うこと。

4.1.5.2. 銅配線のための材料

銅配線の抵抗と信頼性を改善する材料とプロセスは以下のとおり。

- 配線構造におけるサイズ効果の影響を軽減する。ラインと側壁ラフネスを介した側壁との porous low- κ ボイドの交点、バリアのラフネス、銅表面のラフネスはいずれも、銅線における電子散乱にネガティブな影響を及ぼし、抵抗率の増大を招く。
- ナノ寸法でのパターンニング、クリーニング、フィリング。パターンが縮小するにつれ、高アスペクト比の構造のエッチング、クリーニング、フィリングは困難になる。特に誘電性の低いダマシメタル構造やナノ寸法の DRAM にはこれが当てはまる。
- 銅配線バリア材は付近の絶縁体への銅の拡散を防ぐだけではなく、銅に適した高品質のインターフェイスを形成して、空孔の拡散を制限し、許容可能なエレクトロマイグレーションの寿命を実現する必要がある。
- 金属間の絶縁体の κ 値を減らす。ILD (層間絶縁膜、Interlevel dielectric) の κ 値の減少は、製造可能性の問題のために減速している。機械強度や低誘電性の材料の接着性が低いと、結合の障害となる。

4.1.6. BC (ビヨンド CMOS BEYOND CMOS)

4.1.6.1. 新しいメモリおよびロジックデバイス

大きな課題の 1 つは、スケールされた揮発性および不揮発性のメモリ技術を実現し、適切なアプリケーションにおいて SRAM や NAND フラッシュメモリを代替することである。このような新しいメモリの主なコンポーネントは、新しいメモリデバイスとセレクトデバイスである。

もう 1 つの大きな課題として、究極の拡張 CMOS を新しい応用に向けたプラットフォームとして利用していくことがあげられる。拡張 CMOS デバイスや BC デバイスは、今後も新しいロジックおよび情報処理デバイスでありつづけるであろう。

4.1.7. L (リソグラフィ LITHOGRAPHY)

4.1.7.1. 7 nm ノードロジックとそれ以降のための EUV リソグラフィ

製造への EUV の導入が成功したため、ロジックや DRAM に関するパターンニングの課題は解像度からノイズ、欠陥、重複、エッジの配置へと変化してきた。フラッシュメモリの課題はコスト、および十分に欠陥やコストを抑えたナノインプリントリソグラフィを提示することである。

欠陥の課題の一部はマスクを清潔に保つことに関連している。ペリクルを利用可能であるが、伝導性が低いため露光ツールのスループットが大幅に下がる。最近ではパターン付きマスクのアクティビック検査ツールが導入され、長年にわたり十分な解決策のなかった課題に対処している。その他の欠陥は、いわゆる統計効果によるもので、露光量やレジスト作用におけるランダムな変動が原因である。

統計効果による欠陥は、小さな領域における不連続の露光での光子数のランダムな変動や、フォトレジストを構成するさまざまな分子のコンポーネントのランダムな配置、反応、分離により生じる。このような不足はライン間のブリッジ、コンタクトホール欠陥、ラインの開き、コンタクトホールのマージという形態をとることがある。最近の研究では、これらは実際には、一般的な分布が予測することを想定して、CD の変化を単純に推定するよりも広く行われていることが示された。現在これらの種類の欠陥は、EUV ツールの使用可能な解像度を制限している。そのような欠陥でレジストが遅いものはほとんどないため、EUV ユーザは一般的に希望するよりも遅いレジストを使用する。レジストが遅いと、望ましいパターンを定義するために高い照射量が必要となる。このため、露光ツールのスループットが減り、露光が高額になる。長期的には、遅いレジストへのニーズは、より強力な光源や、露光ツールのより効率的な光学トレインの開発を推進すると見られる。

4.1.8. PI (パッケージングインテグレーション PACKAGING INTEGRATION)

4.1.8.1. パッケージング技術

3D および 2.5D パッケージングの課題は以下のとおり。

- シリコンと互換性のある TSV の材料とプロセス
- 将来的な縮小に対応するダイスタックのプロセス改善

- ダイスタックからのヘッ드의抜き取り
- 「配線のギャップ」を埋める高密度のプレーナ (2.5D) のブリッジ
- パッケージ選択のために、強固な (シミュレーションや測定ベースの) 普遍的性能指標を確立する。

4.1.9. M (メトロロジ METROLOGY)

4.1.9.1. 複雑な3次元 (3D) 構造の測定

FinFET などの 3D 構造において、寸法、構成、ドーピングの測定のためのインラインメトロロジの必要性が高まっている。DSA (自己組織化、Directed self-assembly) のためのブロック共重合体について、材料の属性により、リソグラフィメトロロジに関する新たな課題が生じた。マルチパターニングの技術をますます活用するようになったことで、マルチパターニングプロセスを完全に特徴付けるための多数の指標を独立して解決することが必要となっている。

3D 配線には複数の異なるアプローチがあり、新しいプロセス制御のニーズはまだ確立されていない。たとえば、3D (CD および深さ) の測定は、キャパシタ、デバイス、コンタクトを含むトレンチ構造のために必要となるだろう。

4.1.9.2. 複雑な積層材料と界面特性の計測

設計された薄膜と界面層を備える新しい high- κ ゲートとキャパシタの絶縁体、配線のバリア、低誘電体層、その他のプロセスのための標準物質と標準的計測法が必要である。

ゲートやキャパシタの絶縁体の光学的な測定は平均的に面積が大きすぎるため、界面層の特徴付けをしなくてはならない。キャリア移動度の特徴付けは、歪シリコンと SOI (シリコンオンインシュレータ、Silicon on insulator) のスタック、III-V、GeOI、その他の回路基板のため、またはバリア層の計測のために必要である。金属ゲートの仕事関数の特徴付けも差し迫って必要となっている。

4.1.10. FI (ファクトリーインテグレーション FACTORY INTEGRATION)

4.1.10.1. ビジネス要件への対応

急速に変化する複雑なビジネス要件に対応するにあたり、主要な課題は以下のとおり。

- 新しい製品を大量かつ迅速に提供すること対し、顧客からの期待が増大している
- ビジネスニーズの変化により、迅速かつ頻繁に工場での計画を変更するよう促されている
- 変化する市場の需要にもとづき、管理可能な範囲で工場に業務を実行させる能力 (予測的プランニング、リアルタイムのスケジューリングなど)
- 信頼性の高い製品の品質保証を実現する、顧客の可視性の強化。サプライチェーンと顧客を FICS (工場の情報および制御システム) の運用に関連付ける
- ビッグデータ管理、予測のためのデジタルツインの実現、高度な分析を活用したスマートマニュファクチャリングの課題の解決。これにより、パターンや状況を明らかにする機会を創出し、現在の機器の処理/正常性のトラッキングや分析ツールなど、特定の困難な予測不可能の問題を防止または予想するのに役立てることができる。
- 情報セキュリティの強化: データの機密性 (特定の機械/ユーザについてのデータやサービスへのアクセス制限) と整合性 (データの精度/完全性とサービスの正しい運用) を維持しつつ、データの可用性へのニーズと相反する可用性 (システムが特定の時間で機能を実行する能力を測定する手段) を改善する。

4.1.10.2. 200 mm 生産ラインの再登場

デバイスの異質性や多様性の増大と、IoT ソリューションに関する要素などの市場のプレッシャーとが組み合わさることで、マイクロエレクトロニクスエコシステムの重要なコンポーネントとして、200 mm の生産が開始された。300 mm と関連する FI の標準的なテナントの課題や潜在的解決策がうまく 200 mm と置き換わる一方で、交換部品の結合性、可変性、可用性など、解決が必要な FI の具体的な課題が生じているため、200 mm はエコシステムにおいて実現可能な製品機能として留まることが可能となっている。

4.1.11. YE (歩留向上 YIELD ENHANCEMENT)

4.1.11.1. 複数のキラー欠陥の検知

重要な主要課題の1つは、複数のキラー欠陥と SN 比の検知だ。複数のキラー欠陥を検知し、それらを高いキャプチャ率、低い所有コスト、高いスループットで同時に識別することは困難である。また、ニューサンス欠陥や疑似欠陥が大量にある中で歩留に関連する欠陥を特定することも難しい。

- 既存の手法は感度のスループットとトレードオフだが、予想される欠陥の水準では、スループットと感度はいずれも統計的な妥当性のために必要である。
- 検査コストを減らしスループットを上げることは、CoO (所有コスト、Cost of ownership) の観点できわめて重大である。
- プロセスの変化によるラインのラフネスの検知。
- キャプチャ率、スループット、および精度が高い状態での、キラー欠陥に関する電気的および物理的故障の分析。
- 検知ユニットからのバックグラウンドノイズの削減とシステム感度改善のためのサンプル。
- プロセスの変化から欠陥の正確な位置を示す SN 比の改善。
- プロセスの変化がどこで止まり、欠陥がどこで始まったか？

4.1.12. ESH/S (環境・安全・健康・持続性 ENVIRONMENT, SAFETY, HEALTH AND SUSTAINABILITY)

4.1.12.1. ESH/Sにおける材料の課題

ESH/Sにおける材料の課題は以下のとおり。

- 新しい材料、すなわち III-V (GaN, InP, InGaP など)、ナノ、エネルギー物質 (ESH/S の影響を社会的責任の関係とともに評価)
- 活用状況の課題 (新たに工場に投入された材料の利用効率は<2%))
- 現在および今後の規制要件に対応する処理および減少のためのソリューションは、開発の進展を阻害し、コストを上昇させる可能性がある
- 技術および規制に関する障壁のために、リサイクル、リパーパス、リユースに対する制約が大きい
- 代替となる評価 (フレームワーク、方法、ツール) 戦略のなかで広く受け入れられているものや適用可能なものはなく、ESH/S への影響が少ない材料の選定について、これらをどのように活用すればいいかという明確な指針や基準もない。

4.2. 長期的技術課題

4.2.1. アプリケーションベンチマーキング、APPLICATION BENCHMARKING

4.2.1.1. ビッグデータ分析

グラフ処理の性能の向上は、主にアルゴリズム、メモリ帯域幅、帯域幅の改善により実現される。プロセッサの性能は直接的には影響しない。

長期的には、メモリ帯域幅が増え、レイテンシが下がり、グローバルネットワークの帯域幅が増えると光リンクを利用できるようになるため、こうしたニーズが高まる。

4.2.1.2. 特徴認識

長期的な課題の主なものは、インメモリのデジタルまたはアナログの計算に基づく DNN ハードウェアであり、アナログメモリデバイス、低電力、高帯域幅、適度な精度、極めて面積効率のいい A/D コンバータといった重大な技術的ニーズがある。

4.2.2. システム・アーキテクチャ、SYSTEMS AND ARCHITECTURES

SA ロードマップは AB とコンポーネント技術の間の橋渡しとしての役割を果たす。分析対象のシステムは、計算、エレクトロニクス、フォトニクスの幅広いアプリケーションに及ぶ。この章では、研究対象期間において予想される、システムとアーキテクチャで動作するパターンを観察することにより、主な課題と技術要件を特定している。

4.2.2.1. IoT

IoTの開発は、重大な長期的課題に直面するだろう。多くのIoTデバイスはAI機能を持つようになる。オンラインでの監視機能や教師なし学習については搭載されることもされないこともある。これらのAI機能を提供する際にはエネルギー量は非常に低く抑えなければならない。さまざまなAI対応の製品が導入されてきた。いくつかのAI技術は、畳み込みニューラルネットワーク、ニューロモルフィックラーニング、ストカスティックコンピューティングなど、IoTデバイスにおけるAIの成長に貢献する可能性がある。自律型システム、エネルギーの保管と管理、低電力センシング、計算および通信、自動ネットワーク構成、セキュリティの開発のため、複数のソースを活用したコスト効率の低いエナジーハーベスティングが必要となる。

4.2.2.2. パーソナルオーグメンテーション

パーソナルオーグメンテーションデバイスは、計算、通信、ストレージ、キャプチャ、ディスプレイ、センシングを統合している。動画により帯域幅とディスプレイの需要が高まり、拡張現実アプリケーションは通信、計算、キャプチャ、ディスプレイのさらなる拡大を必要とするだろう。非常に活発なユーザの需要に応えるため、電力消費の大幅な低減とバッテリー容量の増大も長期的に重要な課題である。

4.2.2.3. クラウド

パブリックであれプライベートであれ、クラウドデータセンタはもはやCOTS（商用オフザシェルフ、Commercial off the shelf）のコンピュータ、ストレージ、ネットワークのホモジニアスなフットプリントではない。効率への継続的な需要や、ハイブリッドのパブリック/プライベートクラウドに移行される従来型のエンタープライズアプリケーションやHPC（高性能コンピューティング、High performance computing）アプリケーション、および新しいクラウドネイティブアプリケーションの幅広さにより、長年にわたり組み込みシステムで採用されてきたヘテロジニアスコアタイプのメリットに類似したオーダーメイド型のシリコンソリューションが、コンピュータ、ストレージ、ネットワークに採用されつつある。企業にとって重要なデータの4分の3は、決してデータセンタには保管されない。改善されたパッケージングと冷却を活用した高帯域幅のメモリと大規模なソケットの消費電力が必要とされるだろう。

4.2.2.4. サイバーフィジカルシステム

サイバーフィジカルシステムは、設計階層のあらゆるレベルで、高い信頼性を実現する必要がある。物理セキュリティと隔離は、従来よりこれらのシステムの設計の一部だったが、エッジツークラウドの接続された設計が主要な方法となるにつれて、これはより大きな課題となっている。長期的な課題は、ハードウェアとソフトウェアの信頼性、セキュリティ、生成されるバイト数の急増、ローカル分析のニーズ、ストレージ技術の大きな進歩と関連している。

4.2.3. アウトサイドシステムコネクティビティー *OUTSIDE SYSTEM CONNECTIVITY*

長期的な観点での大きな課題は、5Gのノイズキャンセル回路の開発、信号の再構成と同期を行う回路を備えた、再構成が可能な効率性に優れた指向性MIMOアンテナ、光学技術の標準についての合意、多くの研究がオプティカルルーティング機能を実現しようとする事へのニーズ、異なる波長でシステム間通信をするための技術開発である。RFの最大の課題は、コスト効率に優れた方法で、モバイルデバイス向けの>10GB/s通信のエネルギー効率を改善することである。パワーアンプやDAC/ADCのエネルギー効率は、10GHz超の周波数で減少している。6Gの周波数が100GHz超となることが予想されており、エネルギー効率改善のために新しい技術や回路が求められているが、モバイルデバイス、分極化と変調、データセンタ内のCPUとメモリ間通信のレイテンシの低減（特にルーティング起因のもの）、電気信号とフォトリック信号のコンバージョンのコストは削減しなくてはならない。

4.2.4. モアムーア *MORE MOORE*

パワースケーリングは、スティープサブスレッショルドスロープデバイスを用いる必要のある、長期的に見て大きな課題であるが、現在のところ製造可能な候補が不足している。VGAA（縦型ゲートオールアラウンド、Vertical gate all around）デバイス、3Dスタッキング、CMOSおよびBCのコインテグレーションなどの新しいアーキテクチャが性能の改善のために必要とされている。このため、抵抗が低く信頼性が高い銅配線の代替を導入するとともに、熱に関する課題、歩留、コストについて、適切に管理しなければならない。

4.2.5. リソグラフィ LITHOGRAPHY

リソグラフィは2030年までに限界に達するが、その頃には複数タイプの3Dデバイス構造が生産に導入されている可能性があることから、解像度は主要な制約ではなくなっている可能性がある。新たに登場する潜在的なパターニングの課題は、このようにコスト、歩留、欠陥、複雑な3D構造の最適化に関連することになるだろう。サブ10 nm構造のエッチングと成膜も大きな課題となる。もう1つの潜在的な課題は、450 mm ウェーハのパターニング導入となる可能性がある。しかし、EUVが主流のパターニング方法となり、大幅なコスト削減を実現しているため、450 mm ウェーハへの切り替えによる金銭的メリットは限定的となるかもしれない。300 mm以上のウェーハサイズに対するその他のパターニング方法への拡張（複数のパターニング、ナノインプリント、マスクレス、DSA）、は、現時点でほとんど取り組みが進んでいない。

4.2.6. ファクトリーインテグレーション FACTORY INTEGRATION

長期的に見て重要な課題は、材料のリサイクルや代替（不足や有毒性のため）、今後の世界的な規制といった環境問題に取り組む、費用対効果に優れた最先端の工場の柔軟性、伸張性、拡張性へのニーズ、および、従来のCMOSに代わる新しいデバイスタイプの不確実性や工場設計に対する製造要件の影響の管理である。

4.2.7. 歩留向上 YIELD ENHANCEMENT

次世代の検査は大きな課題である。高速走査型プローブ顕微鏡、走査型近接場光学顕微鏡、干渉計、走査型キャパシタンス顕微鏡、電子ビームなどの重要な欠陥を識別する検査要件に適合できる新しい代替技術を調査する必要がある。より小さな欠陥サイズと形状の上での特徴付けのために、光学的システムとエネルギー分散型X線分光器に対し、インラインの欠陥の特徴付けと分析が代わりに必要となる。

4.2.8. ビヨンドCMOS BEYOND CMOS

BCの時代において、大きな研究課題に直面している。抵抗性のメモリ（PCRAM（相変化型メモリ、Phase change RAM）、ReRAM（抵抗型ランダムアクセスメモリ、Resistive RAM）、MRAM（磁気抵抗ランダムアクセスメモリ、Magnetic RAM））などにより、適切なアプリケーションにおいて従来のSRAM、DRAM、Flashに代わるナノスケールの揮発性および不揮発性メモリ技術が必要とされている。究極にスケールしたCMOSにより達成できる水準を大きく上回る情報処理技術のスケールアップのために、ニューロモルフィックや量子コンピューティング、新しいアーキテクチャ、デバイス技術のブレイクスルー（スティープスロープスイッチ（注：原文はsmall slope switchだが、steep slope switchと解釈）など）、また長期的には、代替の状態/ハイブリッドな状態の変数（スピン、マグノン、音子、光子、電子フォノン、光子超伝導キュービット、フォトン-マグノンなど）、デジタル、マルチレベル、アナログ、エンタングル状態など、新しいコンピューティングのパラダイムが必要となるであろう。

4.2.9. パッケージングインテグレーション PACKAGING INTEGRATION

パッケージングの分野においては、ウェアラブルエレクトロニクス（ベンダブル、ウォッシュャブル）のための信頼性の高い配線と回路基板、ミニチュア化されたインプラントのための生体適合性のあるシステム、電子および光学コンポーネントの効率的なインテグレーション、量子コンピューティング向けの冷却システムが、長期的な観点での重要な課題である。

4.2.10. メトロロジ METROLOGY

新しいデバイスアーキテクチャと3D構造のための、高精度の非破壊によるウェーハおよびマスクレベルのメトロロジが必要とされている。サブ7 nmプロセス制御の統計の限界により生じる計測の不確実性を減じるため、最新の統計分析と組み合わせた相補的でハイブリッドのメトロロジが求められる。材料の特徴付けとメトロロジの方法も、デバイスの寸法に関する界面層、ドーパントの位置、欠陥、サイズ、場所、調整、原子濃度の制御や、自己組織的プロセスのために必要である。

4.2.11. 環境・安全・健康・持続性 ENVIRONMENT, SAFETY, HEALTH AND SUSTAINABILITY

現在、新しい材料（III-V素材、PFOA（ペルフルオロオクタノ酸、perfluorooctanoic acidなど））による健康や環境への潜在的影響や、ミリ波（28~330 GHz）などとの生物的相互作用の可能性から生じる重大な課題が立ちだかっている。グリーンケミストリーおよびエンジニアリングのコンセプトを推進することは、この分野における持続可能性や将来の規制を考慮すれば、今後の技術にとって非常に重要な資産となるだろう。

4.2.12. モアザンムーア *MORE THAN MOORE*

自動車、医療、通信、エネルギー管理など、さまざまなアプリケーション分野で多機能なスマートシステムの開発に対する要求が高まるにつれて、完全なバリューチェーンに沿った多くの学問領域にわたる協力が日に日に重要度を増している。デジタルおよび非デジタルのコンポーネントのヘテロジニアスイнтеグレーションにより特徴付けられるモアザンムーアの領域では、このことが包括的な技術モジュールやオープンな技術プラットフォームの開発につながっている。これにより、人間の疾病のモデリングのための臓器チップやパーソナライズされた医薬品開発などのイノベーション実現に向け、新たな機会を追求することができる。このような傾向の一部は、新しいモアザンムーアのホワイトペーパーで説明されている。特に、スマートセンサ、スマートエネルギー、エナジーハーベスティング、ウェアラブルで柔軟なプリントエレクトロニクスなどである。

5. ロードマップメトロロジとエレクトロニクス業界に対する影響の歴史的進化

NTRSからITRSへ、そしてIRDSへ

5.1. ムーアの法則

50年以上にわたり、半導体業界はムーアの法則に基づく速度で進化してきた。平均して2年ごとにトランジスタ数が倍増するというトランジスタのスケーリングは、半導体業界の独自の特徴であり続けた。その結果、トランジスタはより小さくなるとともに、よりスピーディにオフからオン状態に切り替えられるようになり、同時に製造コストの削減も達成した。システムインテグレータは半導体業界が提供する構成要素を活用して新製品を組み立てたが、まだ新しい強力なICが利用可能になった頃は、かろうじて新しいシステムの組み立てを完了できた。新たな技術世代は、前世代よりも優れた性能の新製品をいくつも実現した。IDMはOSやアプリケーションを提供するソフトウェア企業とともに、エレクトロニクス業界のエコシステム全体が進化する速度を完全に制御していた。そのため、技術ロードマップの過去の版（NTRS および ITRS）では、トランジスタのスケーリングの速度の予測、克服すべき技術的障壁、トランジスタの密度と性能が集積回路の進化にどのように影響するかを中心に論じてきた。

過去15年間のうちにファブレスのデザインハウスとファウンドリが登場し、新しい半導体業界におけるビジネスの進め方が革新された。そして、このような変化のために、システムインテグレータがビジネスモデルを再び完全に制御するようになった。これは、すべての新しい製品設計サイクルの最初にシステム要件が設定され、ステップバイステップの関連する要件が、製品生産チェーンを通じて半導体メーカーまで徐々に浸透したことを意味する。より高速なマイクロプロセッサが新しいPCの設計をトリガすることはなくなったが、これとは対照的に、新しいスマートフォンの設計が新しいICやその他の関連コンポーネントの要件を生み出している。さらに、基本的な2Dのトポロジカルな限界に急速に近づくことで、半導体業界がこれまでの速度でスケーリングを継続する能力が脅かされるようになった。2016年には、非常に独創的な新しい3Dトランジスタ、メモリセル、今後10年間でICの設計と製造の方法を変革するであろう総合的な3DICの構造について、大規模な会議も始まった。

5.2. 新たなコンピュータ業界の夜明け

演算を行う初めての機械がブлез・パスカルによって発明されたのは、1642年に遡る。現代のコンピュータのほとんどの要素を詰め込んだ最初の機械は1837年、チャールズ・バベッジが提唱したものである。一方、機械語はエイダ・ラブレスにより1843年に初めて生み出された。1946年に開発されたENIACは、真空管式の初の完全電子コンピュータである。1960年台初期までに、IBMは複数のアプリケーションを対象とする4つの生産ラインで、トランジスタ化されたコンピュータのリーダー企業としての地位を確立した。しかし、これらの生産ラインをより生産的な方法で統合するため、1964年に初の汎用マシンを開発した。Model 360は、8~64KBのメモリで1秒あたり最大34,500の命令を実行することができた。バイポーラトランジスタはどのMOSデバイスよりも大幅に高速で信頼性に優れていた。その後30年にわたってコンピュータの進化を支えたのはバイポーラ技術である。

PC産業は1970年台半ばに、「気晴らしとなる娯楽」として始まった。IBMがこのビジネスに参入することを決めるまで、PCの提供についてはAppleが最も重要な企業だった。IBMは1981年、IntelとMicrosoftのサポートを得て、PCの提供を開始した。時が経つにつれ、PCはより強力になっていった。一方、大型コンピュータがバイポーラトランジスタの性能を向上させたが、非常に洗練された冷却技術を用いたにもかかわらず、電力の限界を上回っ

てしまった。90 年台半ばまでに PC 産業のどちらの部門も、ロジック製品とメモリ製品の両面で CMOS 技術に依存するようになった。しかし、2000 年台の半ばには再び電力の限界に達し、性能に大きな制約が生じた。(1.2.1 のセクションを参照のこと)

これは、計算性能を継続的に向上しつつ、並列で情報を処理するマルチコアを使うことで厳しい電力の制限を守るため、1989 年に提案された。(Figure ES38)

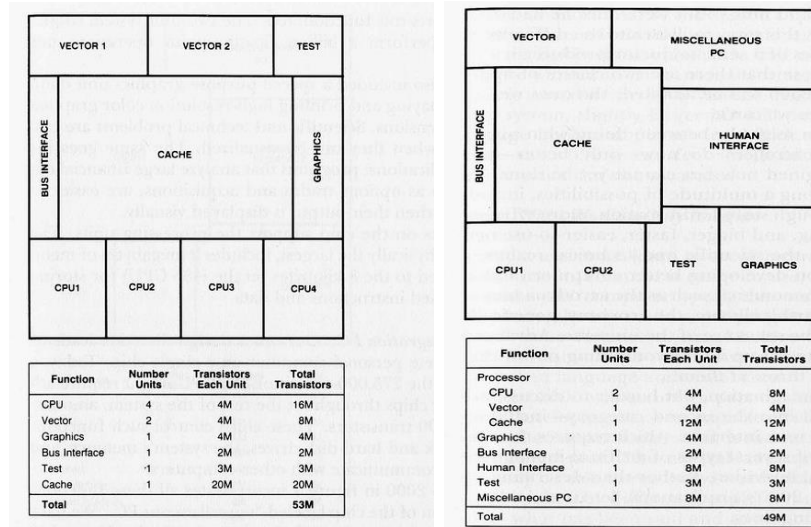


Figure ES38 1989年に概要が提示された、MPU (マイクロプロセッサ ユニット、Microprocessor unit) への移行に関する予測

こうした状況の中、動作周波数はコア数が増大する限り、ほぼ一定の値を維持することができた。このアプローチにおいては、完全な出力結果は個々のコアの出力の組み合わせにより構成される。基本的な電力がすでに上限に達した 2010 年台半ばまでにはこのアプローチが標準となり、許容可能な電力制限内で稼働する際に性能が実際に改善されることが証明された。

しかし、Figure ES39 に示すとおり、これまでの速度と比べると、改善の速度は大幅に落ちることとなった。マルチコアを使用しているにもかかわらず、システム・アーキテクチャは一貫してノイマン型のコンセプトに固執し続けた。

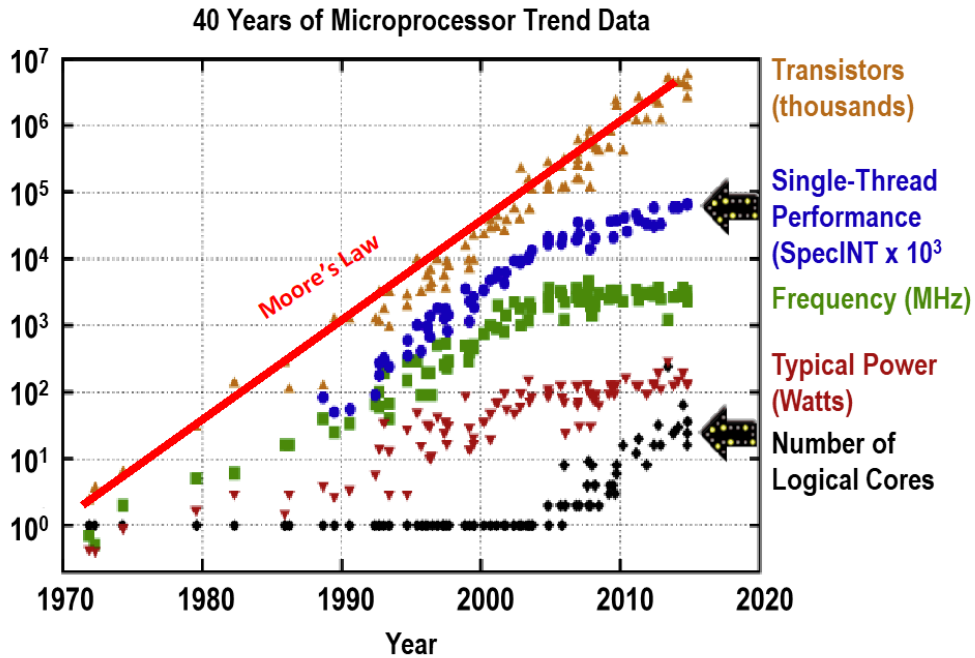
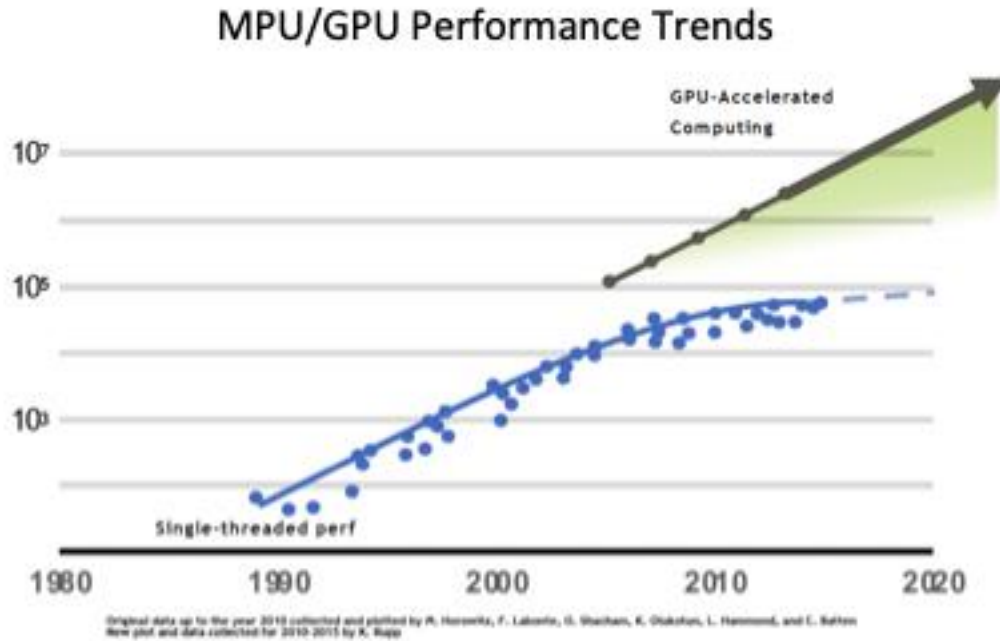


Figure ES39 マルチコアアーキテクチャの導入により、電力制限を超えることなく、CPU 設計における中程度の性能の向上を実現した

大幅に、または完全に過去のアーキテクチャから脱却し、具体的な課題を解決するためにカスタマイズされた新しいソリューションを考案することにより、過去に匹敵する性能の改善速度を達成する必要があることが、徐々に明らかになってきた。システム設計者は本質において、進化を遂げるために普遍的なソリューションを求めることはもはや不可能であり、過去のアプローチと決別し、具体的な課題に対するより優れたソリューションを提供できる、多数の新しいアーキテクチャを開発する必要があることを認識するようになった (Figure ES40)。

さまざまな計算機能を実行する新しい方法が提示され、さらに多くの方法の開発も進められている。こうした中、ニューロモルフィックコンピューティング、アプロキシメートコンピューティング、そしておそらく最も重要な量子コンピューティングが、いくつかの特殊なアプリケーション向けに、最も将来性に優れたアーキテクチャとして登場している。



出典： NVIDIA

Figure ES40 GPU アクセラレーテッドコンピューティングの活用により、性能はかつての傾向に回帰し、さらにはそれを上回るようになった

5.2.1 MPUの古典的アーキテクチャを超えて

MPU が、多くの機能を実現できる極めて柔軟なツールを提供したことは疑いようがない。実際のところ、メモリデバイスとは対照的に、MPU には完全に定義された本質的な機能はなかった。MPU とはメモリやその他の周辺機器に接続された、単なるロジックユニットだったのである。MPU にどのような機能を実行させるかを決定および制御するにあたっては、ソフトウェアに依存していた。このアプローチは、システム設計者に多大なる柔軟性をもたらした。

70 年台には、システムインテグレータが、ROM（読み出し専用メモリ、Read-only memory）によりすべての必要な機能を組み込むように設計することが一般的だった。しかし、ASIC（特定用途向け集積回路、Application-specific integrated circuit）デバイスが実際のシステムに接続された際に何かが完璧に動作しない場合には、修正が必要となった。そのような修正を行うには、新しいマスクやシリコンウェーハを生成する必要がある新しい ROM が求められた。このプロセスでは、新しい ROM がテストできるようになるまでに 2~4 週間が必要だった。MPU はより効率的で迅速なアプローチを実現する機会を提供した。MPU 周辺に構築された開発システムは、ソフトウェアの命令によりカスタマイズを実行することで、複数の機能性を生み出し、実践的な条件下でテストを実行することができる。必要となる調整や変化は、ソフトウェアの調整により迅速に実行することができ（新しいシリコンデバイスは不要）、これにより、システムの動作を素早く修正して、適切な機能性を生み出すことが可能である。これら全てが実行され、必要な機能性を完全に実現してテストも行われると、適切な機能を問題なく全ての含む完璧な ROM を生み出せるようになった。このような関係を図示したのが Figure ES41 である。

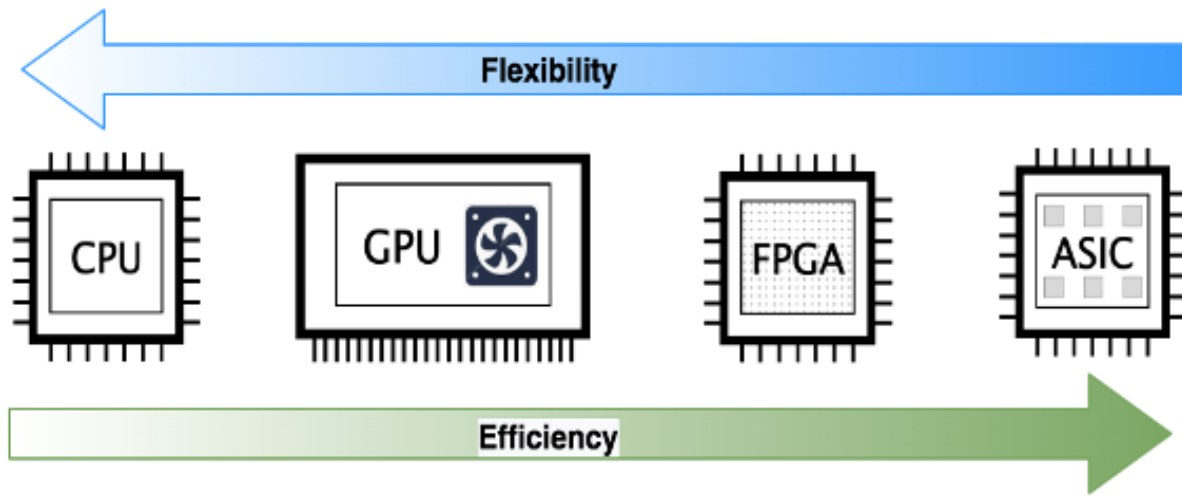


Figure ES41 CPU 柔軟性と ASIC の効率のトレードオフ

さらに、初めて MPU である Intel 4004 が導入された 1971 年から 10 年が経つと、1980 年台には PC の導入により、MPU デバイスの適用可能性について、新しい分野が開かれることとなった。この時も、メモリや PC を動かすその他の周辺機器と関連して、MPU が何を実行できるかを決定するのはソフトウェアだった。実に過去 20 年間にわたる半導体業界の成長は、このような新しい製品により支えられてきたのである。追加の機能性に対する要件が拡大し続けるとともに、ソフトウェアはますます複雑になり、命令の数も増えていった。一般的に、複雑なプロセスを繰り返す場合、PC がより複雑な機能を生成し操作するために、実行時間はますます長くなってしまふ。しかし MPU 技術は 2 年ごとにより高速に動作するトランジスタを生み出し続けたため、MPU はより高い周波数で動作することができた。基本的には、技術によりトランジスタの性能が向上した（MPU の動作周波数がより高くなった）ことで、ソフトウェアの命令数の増大をバランスよく調整できたのである。

このような技術／ソフトウェアの共生的アプローチは 2003～2004 年ごろまで続いたが、その頃には電力消費が 115～130 W に達したため、あらゆるシリコンベースの集積回路で温度が上限を迎えることになった。こうした状況下で、電力消費を制限するため、トランジスタ数の増加を止めるか、動作周波数を上げるのを止めるかする必要が生じた。ジレンマに直面したエレクトロニクス業界は、ムーアの法則の速度でトランジスタ数を継続的に増加させるため、動作周波数を制限することを選択した。このようなアプローチは現代の最も実現性の高いソリューションにも見られ、適切な冷却技術を使用している場合でも電力の制限に抵触することなく、MPU の性能を今なお、ある程度強化することができている。（2022 年版 IRDS、SA の章の Table ES3 を参照のこと）

Table ES4 レイテンシに反応しやすいプロセッサのシステムおよびアーキテクチャの技術トレンド

	2019	2022	2024	2026	2028	2030	2032	2034
Number of chiplet per socket	4-8	8	8	8	8-16	8-16	8-16	16-20
Number of Core per chiplet	8	8	8-12	8-16	8-16	16-24	16-32	16-32
Number of Cores per socket (max)	64	64	96	128	256	384	512	640
Processor base frequency (GHz) (for multiple cores together)	2.2-3.0	2.5-3.3	2.8-3.4	3.0-3.5	3.2-3.6	3.4-3.7	3.4-3.7	3.4-3.7
Core total vector length	1024	1024	1024	1024	2048	2048	2048	2048
L1 data cache size (in KB)	36	40	40	42	42	44	44	44
L1 instruction cache size (in KB)	48	96	96	128	128	160	160	160
L2 cache size (in MB)	1	1.5	2	2	2	2.5	2.5	2.5
LLC cache size (in MB)	64-128	64-800	128-1024	256-1536	256-2048	512-4096	512-4096	512-4096
Number of DDR channels	8 (DDR4)	12 (DDR4)	12 (DDR5)	12 (DDR5)	16 (DDR5)	16 (DDR6)	16 (DDR6)	16 (DDR6)
DDR bandwidth (TB/s)	0.20	0.31	0.61	0.76	1.02	1.1	1.2	1.2
DDR size per socket (in TB)	1.0	3.0	4.5	6.0	8.0	10.0	12.0	12.0
Socket max TDP (Watts)	280	300	400	450	600	600	700	700

L1=level 1 cache; LLC=last-level cache; Fabric=PCIe or new fabric (e.g., CXL); TDP=total power dissipation.

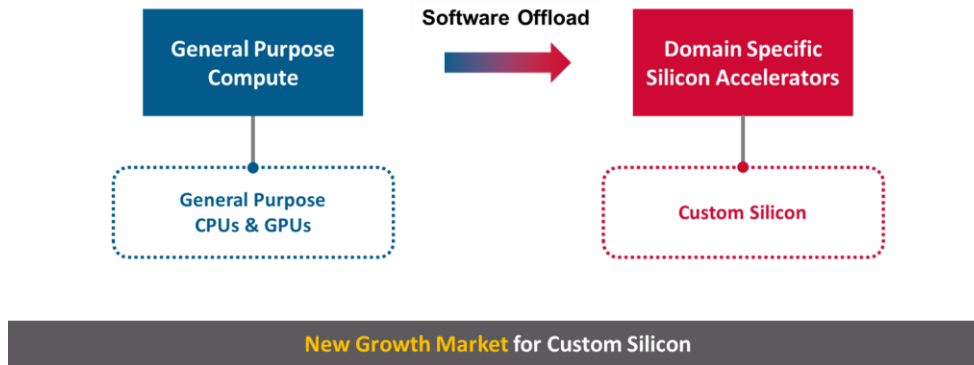
この話にはまだ続きがある。IC のトランジスタ数がムーアの法則の速度に従い、1970 年台以降増加を続けているため、今では高度なカスタマイズが施された複数のプロセッサブロックを単一の IC に統合することができるようになった。これは、Figure ES38 の 2 つ目の絵に示された、1989 年の予測の概要とも一致する。

この一般的な例が次の図に示されている。この図では、いくつかのソフトウェア機能がハードウェアに転換され、さまざまな機能が単一の IC に包含されるコンセプトを表している。

基本的に、この 5 年間でエレクトロニクス業界の推進要因は、「技術により強化された構成要素がサポートする、ソフトウェアデファインドなシステム機能」から、「ハードウェアの構成要素に組み込まれるようになったソフトウェアデファインドな機能」に進化してきた。ある意味で、これらのいわゆるアクセラレータは、ソフトウェアによりプログラムされた ROM の組み立て品と考えることができる。業界ではこのように、一周して同じ場所に戻ってきたのである。詳細は Figure ES41 を参照のこと。

このような原則を図示したのが Figure ES42 である。

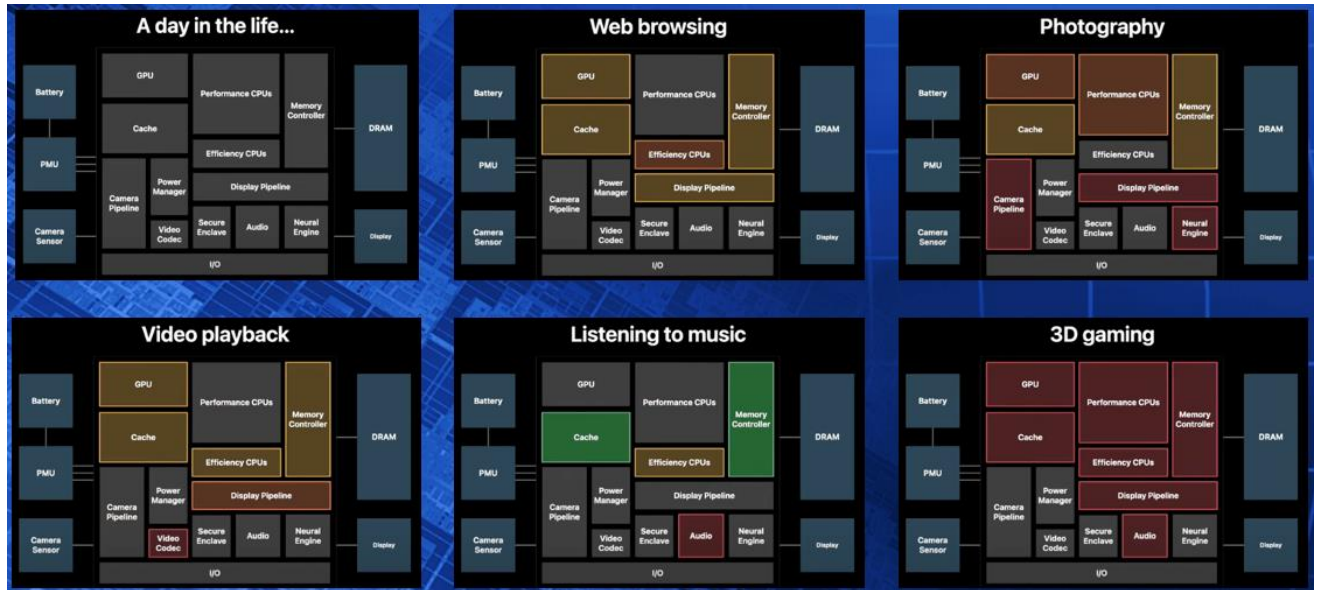
Hyperscale Accelerator Examples



出典：Broadcom

Figure ES42 反復的なソフトウェアの命令をハードウェアに転換することで、計算性能を向上させることができる

Apple が示した一般的なアクセラレータのコレクション (Figure ES43) は、これを新たに具体化している。基本的な「プロセッサ」には、さまざまな機能向けに最適化された複数のサブプロセッサが含まれる。色分けされたブロックは、プロセッサのどの部分が、さまざまな機能をサポートするためにアクティベートされているかを示している。このようにしてさまざまなアプリケーションをサポートする方法は、ソフトウェアがそれぞれ必要とされる機能のエミュレートについて全ての責任を担う従来の MPU のやり方とは対照的である。



出典：Apple

Figure ES43 複数の計算のオペレーションがハードウェアに組み込まれ、ソフトウェアによりアクティベートされている (色の付いたアクティベーション済みの専門特化された計算ブロックを参照)

5.3. SoC と SiP

過去 15 年にわたり、エレクトロニクス業界は劇的な変化を経験してきた。インターネットの誕生、Wi-Fi 基地局の広範囲にわたる設置、多様な携帯電話の消費者による受容、無線モバイルプライアンス、さらにはファウンドリと協力して業務を進めるファブレス企業が、エレクトロニクス業界を根本から変革した。システムインテグレータは今や、希望するどんな集積回路でも、IDM に依存することなく計画、設計、実現することができる。システムイ

ンテグレータは複数の機能を好きなように設計および統合して、SoC と呼ばれる単一のチップを作り出したり、複数のダイスを統合して、SiP と呼ばれる単一パッケージを作り出したりすることが可能である。これは、IDM が基板 (PCB) 上に製造した、専門特化した複数の標準的な IC を接続する方法とは対照的である。こうした統合の方法は、複数の IC (マイクロプロセッサ、グラフィックプロセッサ、複数のメモリアイブ、USB など) を別々に取得し、基板上で組み立てるより効率的で、コストもかからない。

さらに、モバイル製品は利用できるスペースに制約があるため、非常に限られた環境での複数機能の統合は、一層加速することとなった。通常、パッケージングソリューションは、IC コンポーネントの基礎となる技術にほとんど影響を与えることなく、複数のヘテロジニアスな IC を単一のパッケージに迅速に統合することができるため、初めに導入される。ヘテロジニアスなモノリシックインテグレーションは、より多くの開発努力を必要とし、一般的には SiP の実証から 1~2 技術世代遅れて追従する。こうした条件においても、さまざまな種類の異なる技術を単一のチップに統合するには、一定の制約がある。そのため、SoC と SiP の組み合わせが技術的アプローチの主流となり、費用対効果の高い方法で新しい IC やパッケージングソリューションのインテグレーションにおける複雑さを改良することで、システムの性能を向上させることが期待されている。システムインテグレーションは大体において、エレクトロニクス業界のイノベーションの速度を決定する。IC 業界も、以前は存在しなかった、あるいは未成熟だった価値ある技術の構成要素を他の業界に提供してきた。十分に確立された技術や、MEMS (微小電気機械システム、Micro-electromechanical systems) のような全く新しいデバイスを採用することで、フラットパネルディスプレイやマルチセンサなどを実現してきた。これらの多少異なる種類の技術はいずれも、ヘテロジニアスなインテグレーションによって、モバイルアプライアンスに含めることができるようになった。デジタルコンポーネントの継続的な小型化と、アナログも含む新しい機能のインテグレーションとの組み合わせによるこのような傾向について、ITRS は 2006 年時点で MtM の名前で予測している。

5.4. 電力の課題

新たな技術世代が誕生するたびに、以前の技術世代で製造されてきたものよりも迅速に切り替えが可能な、より小型で優れたトランジスタが製造されてきた。過去には、トランジスタのこのような電気的特徴 (真性トランジスタ遅延など) により、マイクロプロセッサは世代が新しくなるたびに、業界のベンチマークで測定されたとおり (MIPS (毎秒 100 万命令、Millions of instructions per second) による測定など)、より高い周波数、そしてより優れたコンピュータ性能で稼働できるようになり、コンピュータアーキテクチャに大きな変更をすることなく、非常に速いスピードで改善を続けてきた (技術世代が新しくなるたびに約 2 倍)。事実、フォン・ノイマンが 1945 年に計算の実施方法に関する概念を提起してから何年もの間、基本的なコンピュータアーキテクチャに大きな変化はなかった。しかし、集積回路の電力消費は増え続け、2010 年台の初めには、いくつかの IC はついに、基本的な温度制限に達することとなった。そして、動作周波数とトランジスタ数をどちらも同時に増やし続けることは、事実上不可能となったことが明らかになった。IC を実際の温度条件のもとで動作できるようにするには、2 つの特徴のうちどちらか 1 つ (周波数またはトランジスタ数) の成長を停止しなければならなくなったのだ。そこで周波数が犠牲者として選ばれ、2010 年台半ば以降は数 GHz の範囲に留まることになった。特に過去 5~10 年の間は、新しいトランジスタの設計と新しいアーキテクチャは、この問題の緩和を目指すことになった。実用的なソリューションを実現するためのロードマップについては、次の項で解説する。

5.5. 周波数を制限した結果

利用可能な最大周波数を制限したことで、過去 15 年間にわたりコンピュータ業界の進化の速度は影響を受けることとなった。複雑なソフトウェアアルゴリズムや高度な命令管理などの方法を開発することで、周波数の改善が不足している部分を一部補うように性能を改善しなくてはならなかったのである。予想された通り、マイクロプロセッサのアーキテクチャは単一のコアからマルチコアに変化した。MPU のアーキテクチャをこのように分割することにより (技術やレイアウトの観点から見れば、非常に簡単に導入できることではあるが)、それぞれのコアがより低い 3~5 GHz の範囲で動作するようになった。一方、出力レートは MPU 出力信号を生じるマルチコアの出力を組み合わせることで、多方面にわたって向上した。並列計算の電力の実証が成功したことで、90 年台の歴史的な改善の速度と同等の性能を達成できることが示されてきた (Figures ES38、ES39、ES40)。

マルチコアアーキテクチャのもう 1 つの好ましい成果として、並列処理が既に、ノイマン型の従来的な計算を上回る特定のアプリケーションを見つけていることが挙げられる。典型的な例が、顔 (またはその他のオブジェクト) 認識の事例である。この事例ではまず、未知のオブジェクトの画像を複数のピクセルに分割する。同時に数千のピ

クセルの並列ストリームを処理できるグラフィックスのプロセッサが、この情報を類似する種類のオブジェクトの広範なメモリと比較する。このようにして、評価対象となるオブジェクトの多くのピクセルと一致するオブジェクトのサブセットが特定される。比較に基づくフィードバックが、進化中のオブジェクトに送信される。その間に、並列された処理アレイのそれぞれのラインにある物理ノード内の電子的な可変性の重みが再度測定され、評価の精度がさらに向上する。このプロセス（の往復）が、正確に一致する結果が見つかるまで何度も繰り返される。オブジェクト認識は、ニューロモルフィックアーキテクチャとして定義されたものを導入する可能性の1つを実証する。つまり、ネットワークはこのアプローチにより、配列ノードが本質的に完全一致する結果を見つけるまで何度も調整を繰り返すような、比較による反復のプロセスを活用して、調査対象のオブジェクトを同じ種類のオブジェクトの広範なライブラリと比較できるようになる。並列計算の能力の実証が成功したことで、90年台の歴史的な改善の速度と同等の性能を達成できることが示されてきた (Figures ES40)。

残念ながら、このような並列的なソリューションは（まだ？）全ての計算に関する事例で使えるわけではない。いくつかの課題、あるいはそのうちの一部は、直列的な方法によってのみ解決できるためだ。しかし、革新的な新アーキテクチャを実現する道が拓かれた。

他方で、周波数や電力の制約は、携帯電話や Wi-Fi を使ってインターネットにアクセスするデバイスの開発や拡大には影響しなかった。携帯電話やモバイルデバイスは、一般的に 4G 世代で 3 GHz 未満で動作する。各国における動作周波数は非常に特殊なルールにより割り当てられているためである。この周波数は現在、5G 世代で約 4 GHz である。また、ポータブルデバイスの電力消費は、再充電することなく数時間動作できるように、5 ワットに制限されてきた。振り返ってみれば、消費者はまずデスクトップアプライアンス (PC など) からインターネットにアクセスしたが、次第にモバイルの多目的アプライアンスからアクセスすることに慣れるようになった。インターネット経由で何らかの情報源にアクセスするには、配線された回線を信号が進む速度のため、数 10 ミリ秒かかる。そのため、モバイルアプライアンス内で 3~5 GHz の周波数帯で動作するマイクロプロセッサは、通信トラフィックを処理するには十分過ぎるほどである。

このため、電力も周波数の制約も、これまでのところモバイルには影響を及ぼさなかった。こうした状況は、5G の到来により周波数や電力の考慮事項が大きく変わると、ある程度は変化するかもしれない。(1.2.3 のセクションを参照のこと)

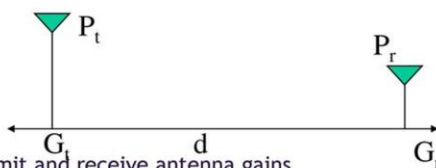
5.5.1. 5G: 無線モバイル通信で使用できる最新の技術

ラジオ (1900 年台初期) やテレビ (1950 年台半ば) の形態での無線通信は、送信機と受信機間の物理的な接続を必要とすることなく、世界のほぼ全ての場所と通信ができる方法に革新をもたらした。無線モバイルフォンの登場により、このような方法での通信は一層普及した。過去 5~6 年では、毎年約 15 億台のスマートフォンが販売されている。元々これらの電話は、アナログ技術を使った音声通信のために使われていたが、デジタル技術への移行に伴い、ほぼ全てのもの (動画、画像、本、映画、地図など) がモバイルフォンで受信できるようになった。送受信される情報量が大きくなるほど、タスクを実行するために緊密に接続された周波数 (帯域幅) を上げることになる。帯域幅は周波数に比例するため、当然ながらモバイルフォンの動作周波数は次第に当初の 700~900 MHz から上昇し、5G ではより多くの情報をより多くの顧客に送信するため、4 GHz の周波数となった。しかし、そのためには当然コストが発生する。周波数が上がるほど、レンジは低くなる。(詳細は Figure ES44A および B を参照のこと)

Friis Free Space Equation

□ The relation between the transmit and receive power is given by Friis free space equations:

$$P_r = P_t G_t G_r \frac{\lambda^2}{(4\pi d)^2}$$



- G_t and G_r are the transmit and receive antenna gains
- λ is the wavelength
- d is the T-R separation
- P_t is the transmitted power
- P_r is the received power
- P_t and P_r are in same units
- G_t and G_r are dimensionless quantities.

Figure ES44

A. フリスの自由空間についての方程式

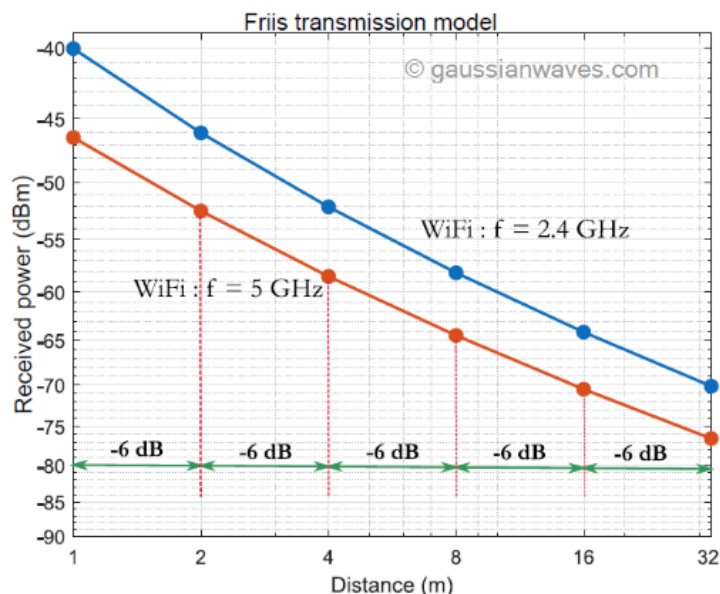


Figure ES44

B. 伝搬範囲の減少における周波数の影響の例

フリスの公式は、この関係を非常に効率よくまとめている。例えば周波数が2倍になると、波長はこれに従って半減するため、レンジは二次式的に減少する。このため、同じ受信電力のまま同じレンジをカバーするには、4倍のアンテナが必要となる。これは、5G (~4 GHz) で4G (~2.4 GHz) と同じカバレッジを維持するためには、4倍のアンテナが必要となることを示している。

次なる通信技術の6Gに関して、多くの議論が始まっている。周波数スペクトルは6Gレンジに95 GHz~1 THzを割り当てた。前述の公式から、6Gの実際的な無線の範囲は数フィートに限られることになるのは明らかだ。これは、ディストリビューションネットワークを徹底的に再設計する必要があることを示している。この全く新しいネットワークは、物理ネットワークを介してこれらの周波数で情報を伝搬するために構築する必要がある。本質的には、必要となる性能は、光ファイバを使うことによるのみ保証される。

一部の国ではかなり前にこれを認識していたため、広範なカバレッジの確保に向けて順調に進捗しているようである。(詳細は Figure ES45 を参照のこと)

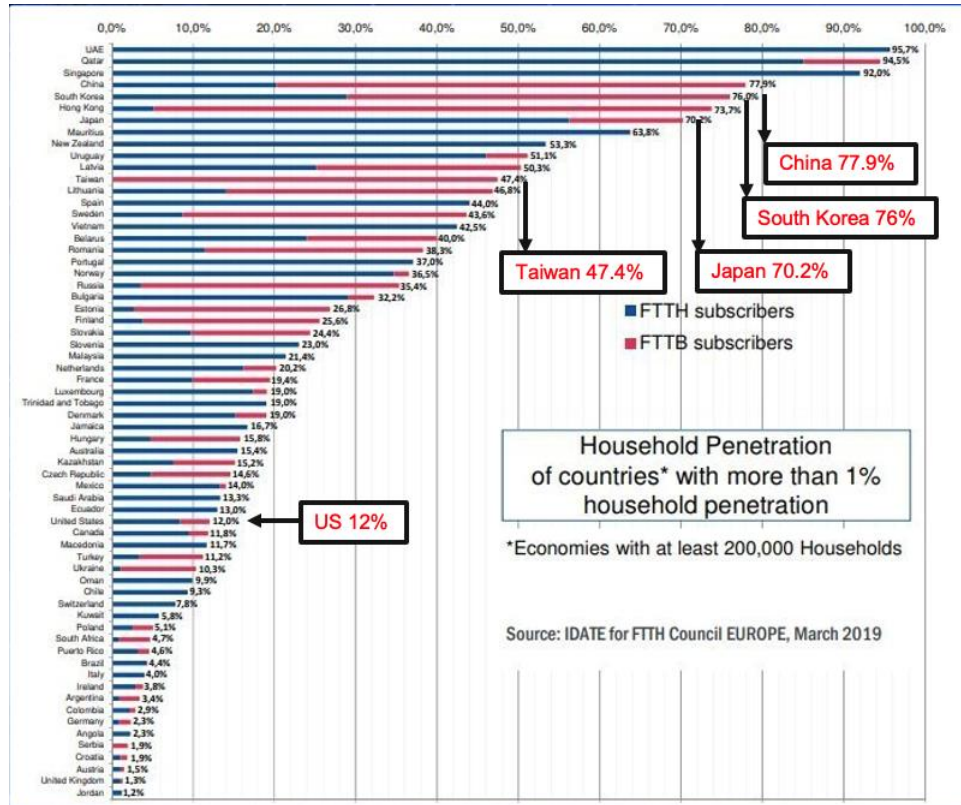


Figure ES45 高速通信のための光ファイバ接続の世帯への普及率

しかし、6G の作動範囲で情報を処理できるデバイスも必要である。こうした考慮事項により、別の課題が浮かび上がる。すなわち、この周波数レンジで動作するデバイスは、300~400 GHz まででしか有効ではないのである（詳細は Figure ES46 を参照のこと）。

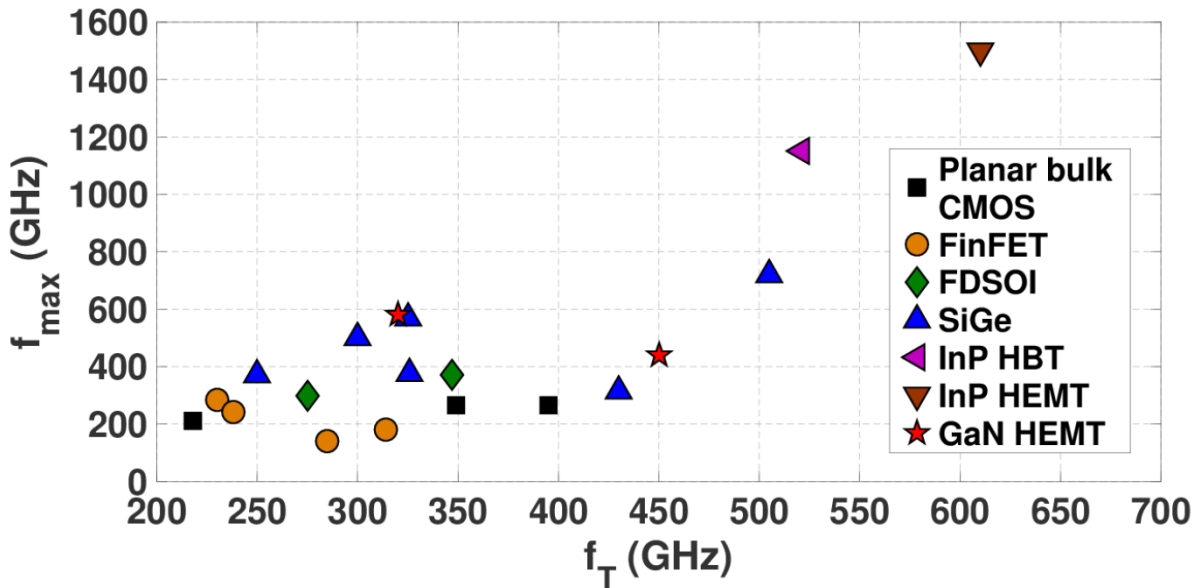


Figure ES46 400 GHz 以上で動作するシリコンデバイスの限界

5.6. IoT、IoE

アメリカ国防総省は、1960 年台の時点で早くもパケットネットワークシステムに関する契約を締結していた。この中には、ARPANET（アーパネット、Advanced Research Projects Agency Network）（インターネットプロトコルを用いた初のネットワークとなる）の開発も含まれていた。

1981 年に NSF (National Science Foundation) が CSNET (Computer Science Network) に資金提供を行うと、ARPANET へのアクセスが拡張された。1990 年台半ば以降、電子メール、インスタントメッセージ、VoIP 通話、双方向型テレビ電話、World Wide Web により、ほぼ即時の通信が進化するなど、インターネットは文化と商業に革新的な影響を及ぼした。このように全世界にわたる接続が実現されたことで、ソーシャルネットワークやオンラインショッピング、オンラインバンキングなど新しい現象も生まれた。光ファイバネットワーク上で伝送されるデータの量も速度も上昇を続け、1-Gbit/s、10-Gbit/s、40-Gbit/s 超にまで到達している。インターネットが世界的な通信において主要な地位を占めるようになったのは、歴史的に見て一瞬とも言える間のことだった。インターネットによる通信は、1993 年には双方向の通信ネットワークを介して伝達される情報のわずか 1%だったが、2000 年には 51%に増え、2007 年には遠距離通信で送信される情報の 97%超となっている。現代においては、かつてないほど大量のオンライン上の情報、コマース、エンターテインメント、ソーシャルネットワークの他、さまざまなものに促されて、IoT が成長を続けている。インターネットへは、元々有線接続されたデスクトップコンピュータによりアクセスしていたが、無線技術 (Wi-Fi)、2007 年のスマートフォン、2010 年のタブレットの導入に伴い、インターネットを介して人々がやり取りする方法に変革が起きた。通信の世界は真のワイヤレス、ユビキタスを達成し、相互に連結された世界を常年实现している。

結局のところ重要なのは、半導体がさまざまな通信デバイスやデータセンタ、ルータ、センサに動力を供給していなければ、絶えず拡大を続ける IoE も存在しなかったということだ。ファウンドリやファブレス企業の誕生により半導体製品のカスタマイズが実現し、IoE のあらゆる側面に対応できるようになった。半導体業界はすでに成熟した業界であり、今後提供できるものは多くないと考えるのは誤りだろう。新しいファブレス/ファウンドリエコシステムは、非常に妥当かつ手頃なコストで利用できる、絶え間ないイノベーションの流れを切り拓いた。デバイスインテグレーションの第 3 段階 (3D パワースケーリング) や、半導体業界における革新的な材料の導入に関連する多くの新機能の登場により、コンピュータを構築する方法も変化するだろう。新しいデバイスによる革新的なアーキテクチャで構築される新しいコンピュータは、上から下までさまざまな新しい感覚機能やコミュニケーション機能に囲まれ、これによりシステム設計者に新しい刺激的なオプションが提供されることになる (詳細については Rebooting Computing のウェブサイトを参照のこと)。

最近では、非常に限られた場所で生成されたデータを用いるアプリケーションもいくつか登場している。エッジコンピューティングは分散コンピューティングのパラダイムで、計算やデータストレージをデータソースのより近くに置くものである。これにより応答時間の改善や帯域幅の節約が期待されている。Figure ES47 では、デバイスやアーキテクチャの差異化や最適化を促す、IoT の 3 つの主要領域の違いを説明している。

Compare edge cloud vs. cloud computing vs. edge computing

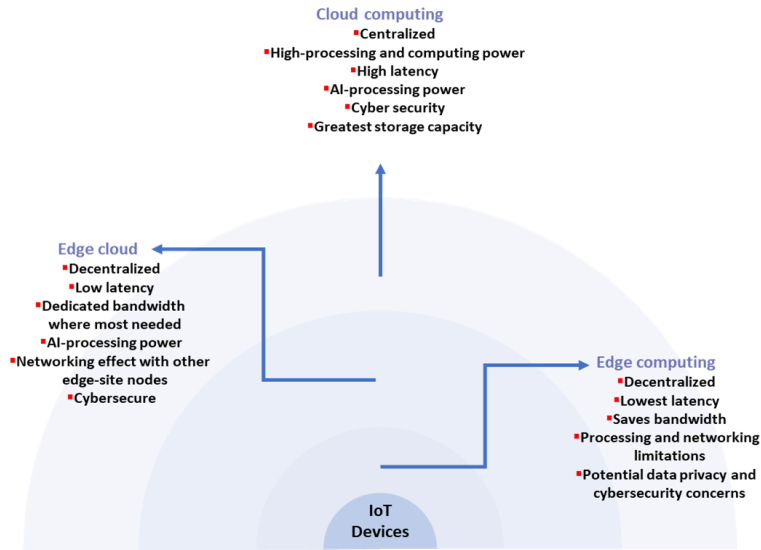


Figure ES47 通信の世界におけるコンピューティングの複数の側面

5.7. スケーリングの3つの時代

IC 業界の基礎は、1960 年台後半の自己整合型シリコンゲートプレーナプロセスの発明にある。ダイあたりのトランジスタ数は1年ごとに倍増するという予測をムーアが1965年に行い、その後1975年に2年ごとに倍増すると修正した。これは、デナードのスケーリング則とともに、2010年台初めまで半導体業界の成長に通じる法則であった。

1970年台、80年台、90年台を特徴付けるのが幾何学的スケーリングである。これが第1世代のトランジスタスケーリングである。NTRSは米国において1991年にワークショップとともに始まり、その後それぞれ1992年、1994年、1997年に刊行された。この期間中、エレクトロニクス業界は主に「ボトムアップ」型で成長が促された。新しい技術世代の登場により、トランジスタの性能が継続的に改善され、新たなメモリやプロセッサが既存のシステムアーキテクチャに簡単に適合したためである。システムインテグレータは、新しいメモリやプロセッサ製品が導入される速度に追いつくのに必死だった。半導体業界の技術サイクルは、1990年台には3~4年周期から2年周期に変化したからだ。しかしNTRSは1994年から1997年にかけて、材料や構造に関わる大きな制約がまもなく生じることを明らかにした。こうした問題は非常に重要なものであったため、国際的な半導体コミュニティ全体でタイムリーにソリューション候補を特定することに取り組む必要があると考えられた。1998年4月のWSC（世界半導体会議、World Semiconductor Council）では、欧州、日本、韓国、台湾の技術コミュニティへのNTRSの拡張が提案された。この提案は受理され、ITRSが組織された。1998年7月には、サンフランシスコで国際的な研究コミュニティが開催された。この会議において、MOSトランジスタを完全に再構築するための研究活動や必要となる手順が承認され、全世界で取り組みが始まった（Figure ES48）。

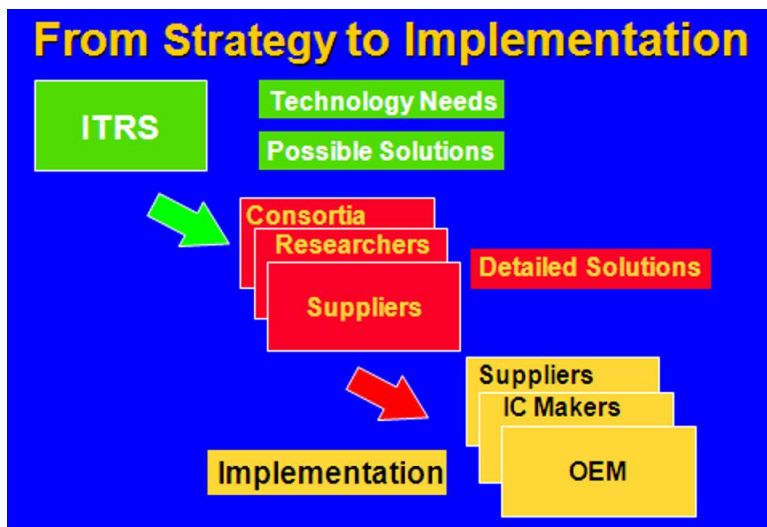


Figure ES48 1998 年の ITRS プログラム：戦略から実行へ

トランジスタ再構築に向けたこの新たなアプローチは「等価的スケーリング」と名付けられた。このプログラムの目標は、それまで最大 25 年かかっていたトランジスタの大規模なイノベーション間の時間を半分以下に短縮し、半導体業界が大きな危機に直面する事態を回避することだった。歪シリコン、high- κ /メタルゲート、FinFET、およびその他の半導体材料（ゲルマニウムなど）の使用が、このようなスケーリングアプローチの大きな特徴である (Figure ES49)。2011 年までに、これらの新しいプロセスモジュールを大量生産のプロセスに取り入れることができた (Figure ES50)。

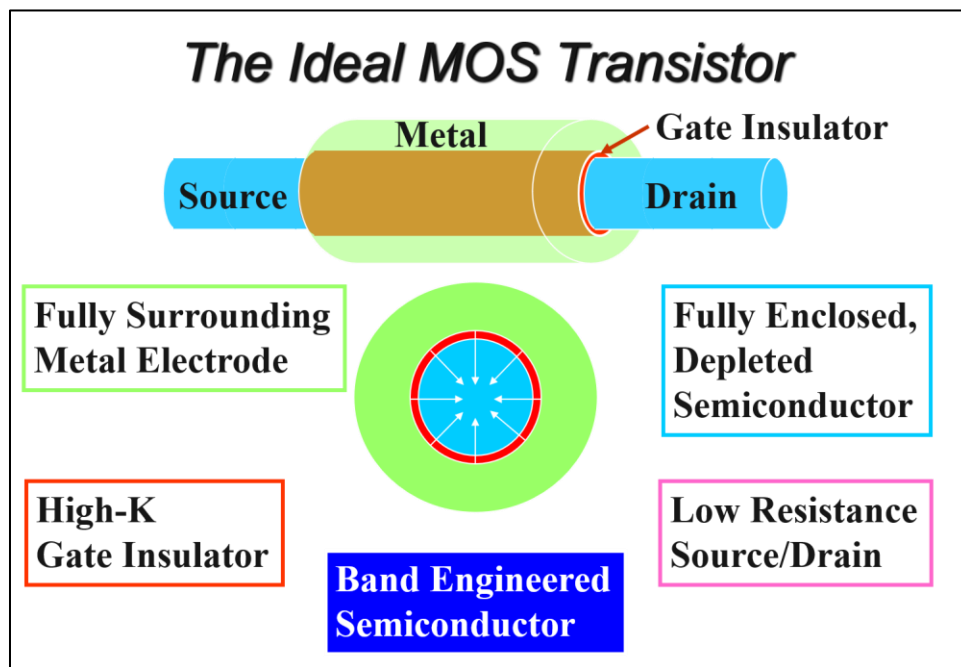


Figure ES49 完全に刷新された MOS トランジスタのビジョン

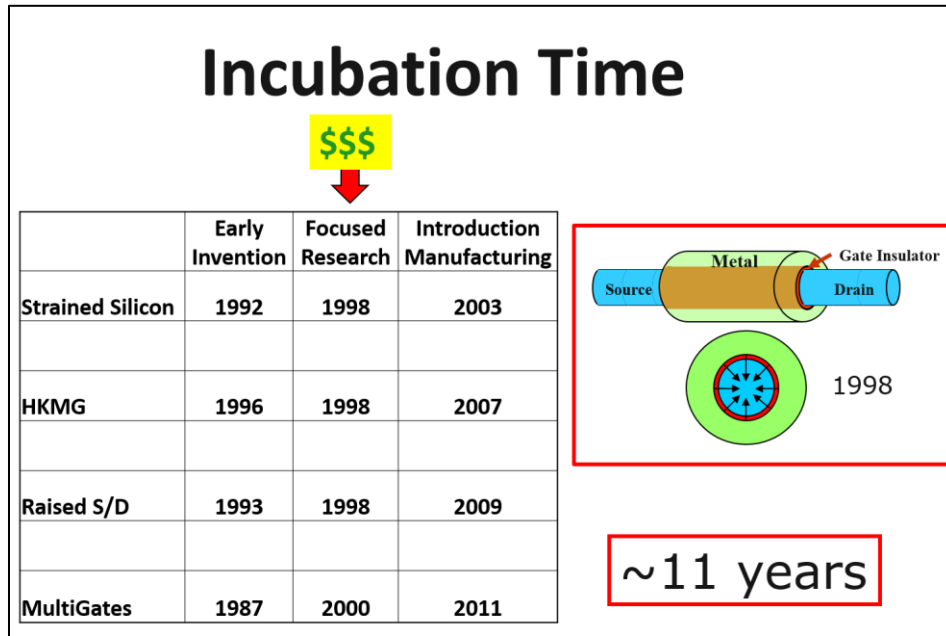


Figure ES50 記録的な速度で大量生産の戦略を実行に移す

10 年程前にファブレスのデザインハウスとファウンドリの組み合わせが登場し、これが成功すると、ビジネスの進め方が大きく変化し、半導体業界が刷新される先触れとなった。このような環境の変化のために、システムインテグレータはついにビジネスモデルの完全なコントロールを取り戻すことができた。これは、全ての新しい製品設計サイクルの最初にシステム要件が設定され、それに対応するステップごとのデバイス要件が、製品の設計／開発／生産というチェーンを通じて半導体メーカーまで徐々に浸透したことを意味する。より高速なマイクロプロセッサが新しい PC の設計をトリガすることはなくなったが、これとは対照的に、新しいスマートフォンの設計が新しい IC やその他の関連コンポーネントの要件を生み出している。このような状況下において、2012 年には ITRS が新しいエコシステムに適合し、変化する必要があることが明らかになった (Figure ES51)。このような変化のプロセスには時間がかかることが予想された。そこで 2013 年版 ITRS を最後に、ロードマップのタイプが変更されることが決まった。続く 2014 年および 2015 年は、ITRS 2.0 と名付けられた中間ロードマップを新たに作成することに専念することとなった。

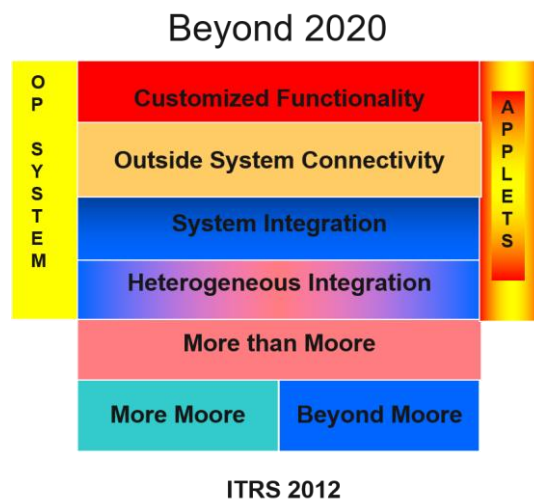


Figure ES51 エレクトロニクス業界の新しいエコシステム

2013年版ITRSの準備を進める中、平面的（2D）な寸法は2020年を過ぎると間もなく数ナノメートルのレンジに近づくと考えられた（Figure ES52）。そのため、半導体業界ではその頃までに平面における空間が尽きてしまうことが明らかになった。問題となったのは、どの製品がこのような2Dの限界に初めに到達するか、ということだ。メモリ製品はトランジスタ密度において常にトップクラス（寸法のピッチが最小）であるため、フラッシュメモリーメーカーが初めにこの問題に対する解決策を提示したとしても不思議ではなかった。事実、2014年には複数の企業が、今後の製品では垂直的な寸法を十分に活用していく予定であると発表している（Figure ES53）。これは、マンハッタンや東京、香港などの混み合った場所で、空間の制限に対処するために取られる方法と似ていなくもない。超高層建築のように垂直的な寸法を活用することは、「記録密度」を最大化するための標準的なアプローチとなったのだ。さらに1980年台および90年台を通じてのトランジスタ数の急速な増加（2年間で2倍）や動作周波数の同じく急速な増加により、2003～2005年の間に、マイクロプロセッサの消費電力は100Wをはるかに上回るようになった。これにより、トランジスタ数と周波数はもはや同時に増加させることはできなくなった。このような状況下において、エレクトロニクス業界はマルチコアアーキテクチャへの転換を決めた。トランジスタ数は引き続きこれまでの速度で増加させるが、動作周波数は数ギガヘルツに抑えることにしたのである。このような考慮事項の全てが、集積回路の構造を2Dから3D構造に進化させる必要があること、そしてトランジスタの設計においては動作周波数を最大にするよう最適化するのではなく、電力消費を減らすことを目指す必要があることを示している。

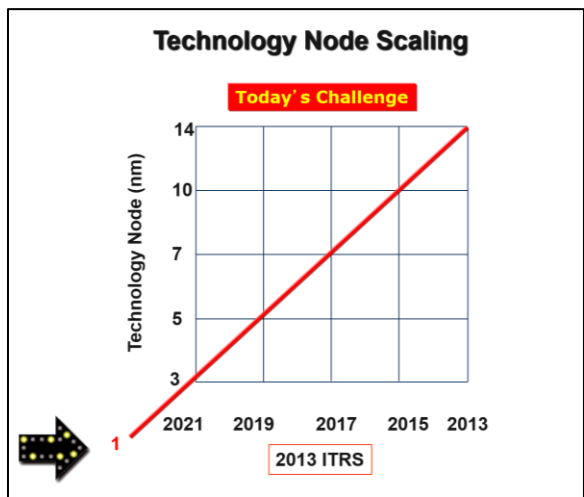


Figure ES52 2D スケーリングは2020年以降本質的な限界に達する

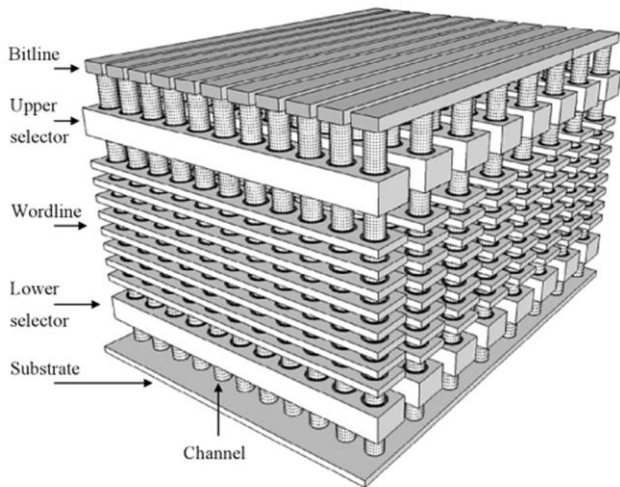


Figure ES53 2014年、フラッシュメモリは積極的に3D スケーリングを導入

前述の理由のために、IRDS は新しいスケーリングの手法を「3D パワースケーリング」と名付けた。非常に簡潔な方法で、半導体業界やエレクトロニクス業界が今後 15 年間で直面する課題を全て、この名に象徴的に込めたのである (Figure ES54、ES55)。

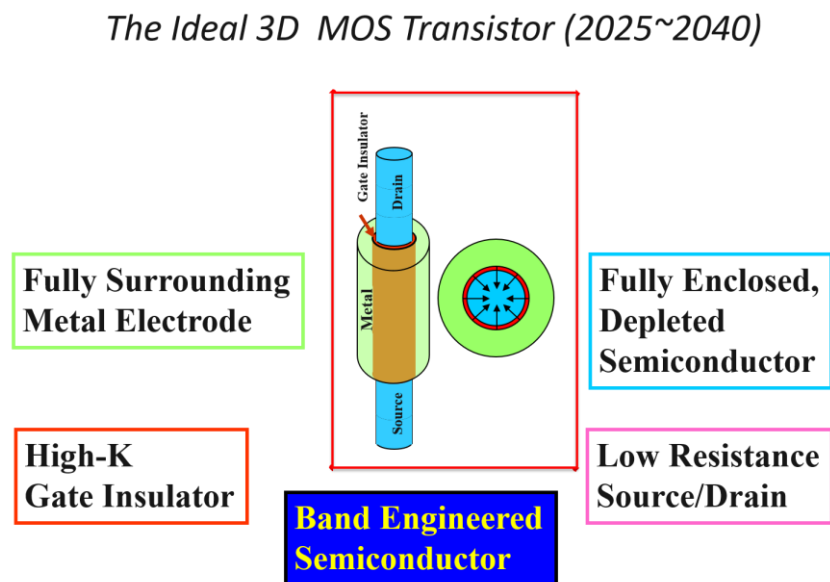


Figure ES54 理想的な 3D トランジスタ

トランジスタのスケーリングの 3 つの時代について、Figure ES55 に概要を示している。

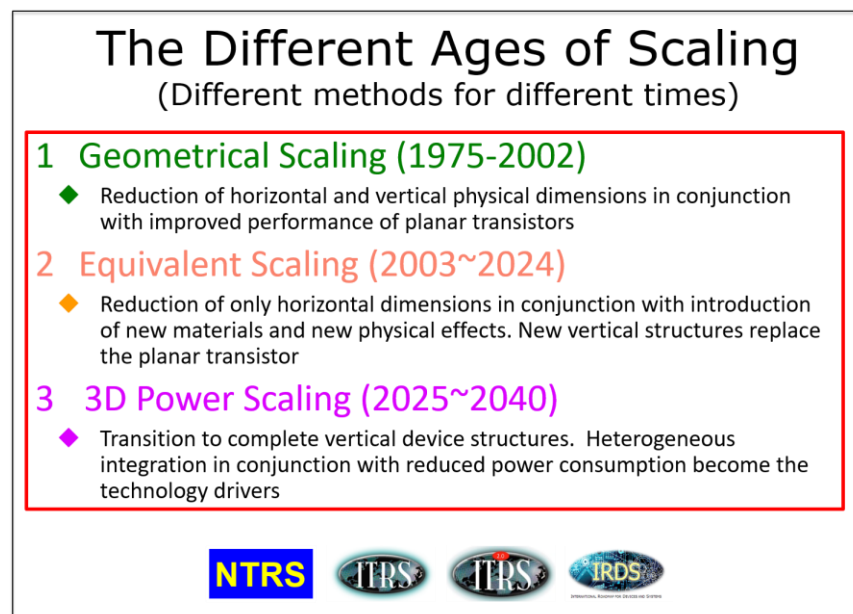


Figure ES55 NTRS、ITRS、ITRS 2.0、IRDS が予測したスケーリングの 3 つの時代

6. 実際的な考慮事項

IRDS が目指すのは、長期的な観点で最終的には主流となる、最も積極的かつ可能性の高いソリューションの概要を示すことである。しかし、新しい技術を実際に導入する際には、最も製造可能性の高い成果を維持する、あるいは

はそれを上回ることができるように、必ず段階を踏むことになる。このため、3D の導入も段階的に進められる。Figure ES56 は最も関連性の高いトランジスタのマイルストーンを示している。このような新しいトランジスタのアーキテクチャは、静電効果の制御に関するメリットをもたらすが、新しいシステムの設計方法に関する複数の厳しい要件を新たに課すものでもある。MOSFET（金属酸化膜半導体電界効果トランジスタ、Metal oxide semiconductor field effect transistor）デバイスアーキテクチャはプレーナ 2D から 2.5D の FinFET、そしてナノワイヤまたはナノシート構造の GAA へと変化してきた。GAA MOSFET は 3D VLSI に向けてモノリシックに積層されるだろう。詳細は Figure ES57 を参照のこと。

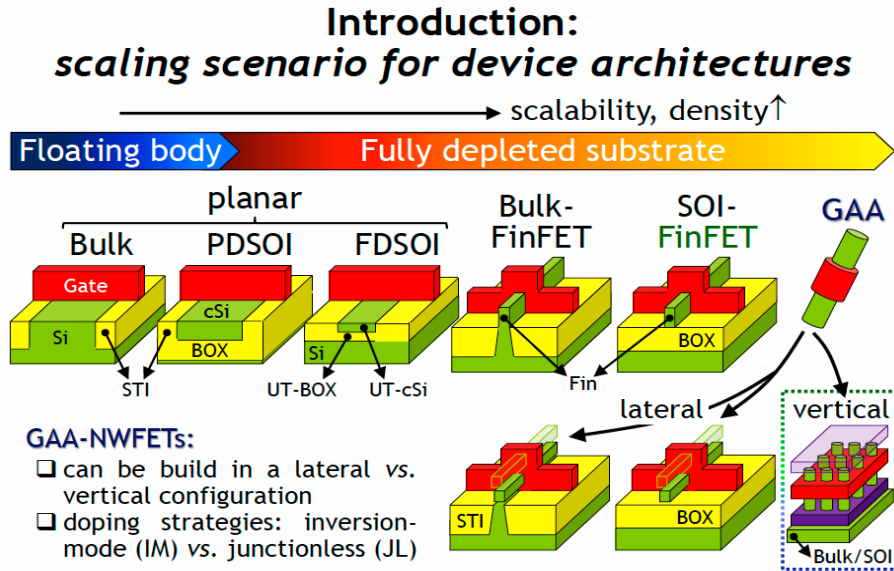


Figure ES56 FinFET から GAA、そして完全な縦型へのトランジスタ構造の実際の移行

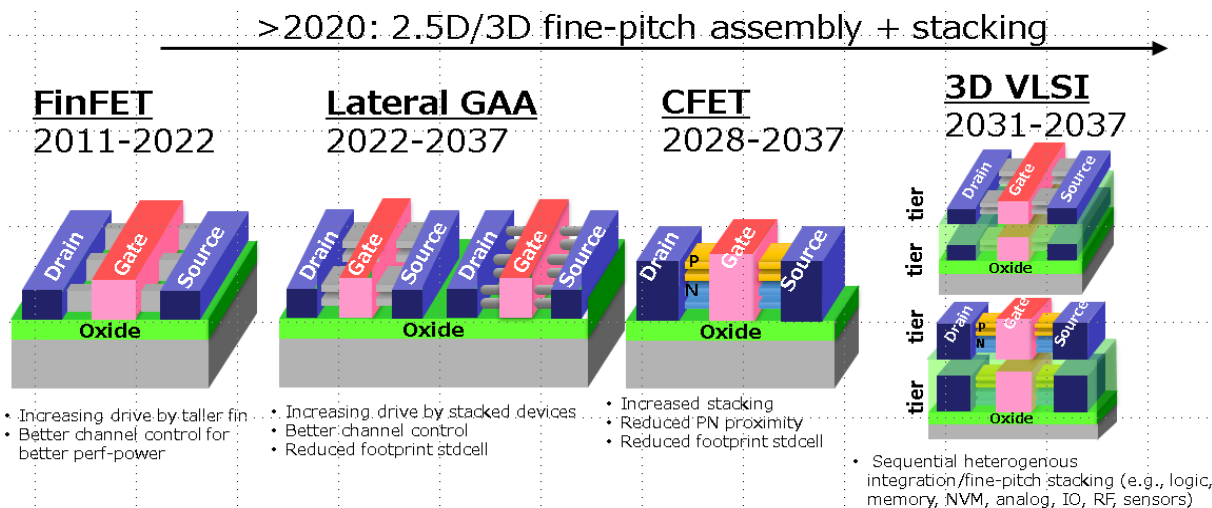


Figure ES57 2D プレーナから 2.5D FinFET、GAA による 3D モノリシック VLSI への MOSFET デバイスアーキテクチャの変化

2022 年版 IRDS の BC ロードマップに関する章では、複数の刺激的な新デバイスを紹介する。これらは、10 年の研究を経て、既に主要なプレイヤーとして活躍しているもの、あるいは今後 10 年でその座を得るものである。ロジック回路上での複数のメモリ回路の統合は成功し、その結果性能も向上した (Figure ES58)。このようなモノリシックなヘテロジニアスインテグレーションは、これらのメモリ回路を 400° C 未満の温度で製造できることにより実現した。これは、現在マイクロプロセッサ上の複数の配線を製造する際に利用する温度に匹敵する。

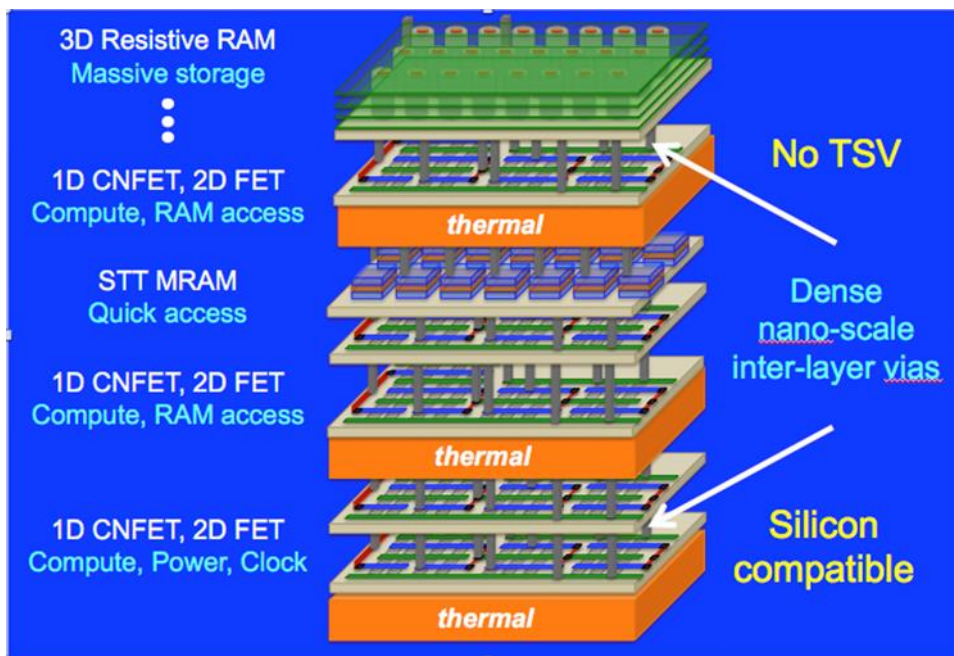


Figure ES58 モノリシックなヘテロジニアスインテグレーションの登場に向けた計画

簡単に言えば、Figure ES59 に示すとおり、トランジスタの改善と 3D IC インテグレーションを組み合わせることで、相互補完的にシステム全体の性能を向上できるのである。

2 complementing routes for More Moore scaling

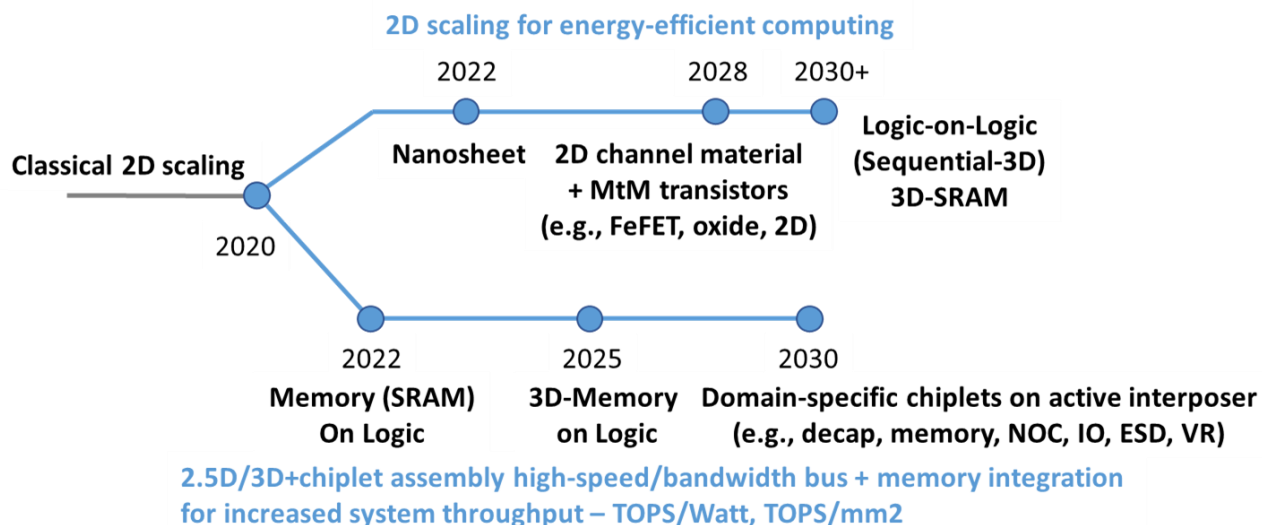


Figure ES59 トランジスタと機能性のトレンドを向上させる 2 つの相互補完的な方法

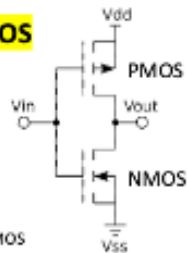
7. 量子コンピューティングの課題

超伝導量子コンピューティングは、さらに開発を進め、誤り率を低減し、スケールアップ（キュービット数）を実現することで、重要なアプリケーションの性能改善を明確に示す必要がある。拡張性を備え、量子回路の特殊なニーズに応える集積回路技術が求められる。量子アルゴリズムのアプリケーション候補を調査し、適切な量子処理アーキテクチャを開発するには、さらなる取り組みが必要である。制御と読み出しのための超伝導キュービットによる超伝導デジタルエレクトロニクスのインテグレーションは、現在の最先端のアプローチが実現するよりも非常に規模の大きいシステムへとスケールアップする見込みがあるため、これらは全て意義がある。ある意味で、1960 年台から 1980 年台半ばにかけて、IC 向けデバイスの構造と技術の開発や選定は、これと類似するプロセスをたどった。最終的に、CMOS は非常に優れた総合的ソリューションとなり、この選択は世界的な研究に集中的に取り組む対象を絞る上で役立った。そして、このような選択は 1980 年台後半に始まった技術から技術への 2 年周期のサイクルを大きく加速させ、今も実践されている。そう遠くない未来に、同じような選択を行うことにより、主導的な役割を果たす 1 つか 2 つの優れた競争相手を明らかにする必要が生じるだろう。IRDS は、このような選択のプロセスを活性化させ、2030 年以降における未来のエレクトロニクス業界に利益をもたらすことを目指している。（詳細は Figure ES60 を参照のこと）

Searching for a winning combination

Semiconductor logic families

1960s	1980s
ECL	ECL
DTL	DTL
TTL	TTL
NMOS	NMOS
PMOS	PMOS
CMOS	CMOS



en.wikipedia.org/wiki/CMOS

Superconductor logic families

2010s	2030s
- RSFQ	
- ERSFQ	
- eSFQ	
- DSFQ	?
- nTron	
- xSFQ	
~ RQL	
~ PML	
~ AQFP	
~ DQFP	
~ RQFP	

Considerations:

- Performance
- Power
- Cost
 - Ease of design
 - Area
 - Fabrication process
 - Yield
 - Shielding
- Compatibility
- ...

Figure ES60 そう遠くない未来に量子コンピューティングはいくぶん困難なデバイスの選択を迫られる

8. ACRONYMS/ABBREVIATIONS

Term	Definition
4G	Fourth generation
5G	Fifth generation
AB	Application Benchmarking
AI	Artificial intelligence
ARPANET	Advanced Research Projects Agency Network
ASIC	Application-specific integrated circuit
BC	Beyond CMOS
BEOL	Back end of line
BIS	Back illuminated sensors
CAGR	Compound annual growth rate
CASS	IEEE Circuits and Systems Society
CD	Critical dimension
CEDA	IEEE Council on Electronic Design Automation
CEQIP	Cryogenic Electronics and Quantum Information Processing
CIM	Compute in memory
CMOS	Complementary metal oxide semiconductor
CoO	Cost of ownership
COTS	Commercial off the shelf
CS	IEEE Computer Society
CSC	IEEE Council on Superconductivity
D2W	Die to wafer
DNN	Deep neural network
DRAM	Dynamic random access memory
DSA	Directed self-assembly
EDS	IEEE Electron Devices Society
EPS	Electronics Packaging Society
EOT	Equivalent oxide thickness
ESH/S	Environment, Safety, Health and Sustainability
ESI	European SINANO Institute
ETS	Engineering Test Stand
EUV	Extreme ultraviolet
EUVLLC	EUV Limited Liability Corporation
FC	Flip chip
FET	Field effect transistor
FI	Factory Integration
FinFET	Fin field-effect transistor
GAA	Gate all around
GbE	Gigabit ethernet
Ge	Germanium
GHz	Gigahertz
GSM	Global System for Mobile Communications
HBM	High bandwidth memory
HDD	Hard disk drive
HPC	High performance computing
I/O	Input/Output
IC	Integration circuit
IDM	Independent device manufacturer
IEDM	International Electron Devices Meeting

78 Acronyms/Abbreviations

Term	Definition
IEEE	Institute of Electrical and Electronic Engineers
IEEE-SA	IEEE Standards Association
IFT	International focus team
IMEC	Interuniversity Microelectronics Centre
ILD	Interlevel dielectric
iNEMI	International Electronics Manufacturing Initiative
INGR	International Networks Generation Roadmap
I/O	Input/output
IoE	Internet of everything
IoT	Internet of things
IRC	International roadmap committee
IRDS	International Roadmap for Devices and Systems
ISSCC	International Solid-State Circuits Conference
ITRS	International Technology Roadmap for Semiconductors
LED	Light emitting diode,
LGAA	Lateral gate all around
LTE	Long-term evolution
MAG	IEEE Magnetics Society
MET	Metrology IFT
MHz	Megahertz
MIM	Metal-insulator-metal
MIMO	Multiple input multiple output
MIPS	Millions of instructions per second
ML	Machine learning
MM	More Moore
mmWave	Millimeter wave
MRAM	Magnetic RAM
MOS	Metal oxide semiconductor
MOSFET	Metal oxide semiconductor field effect transistor
MPU	Microprocessor unit
MtM	More than Moore
Mx	Tight-pitch routing metal interconnect
NA	Numerical aperture
NAND	A logic gate (NOT-AND) that produces an output that is false only if all its inputs are true
NSF	National Science Foundation
NTC	IEEE Nanotechnology Council
NTRS	National Technology Roadmap for Semiconductors
ORSC	Overall roadmap system characteristics
ORTC	Overall roadmap technology characteristics
OSC	Outside System Connectivity
OSD	Optoelectronic, sensor/actuator, discrete
PC	Personal computer
PCB	Printed circuit board
PCRAM	Phase change RAM
PFOA	perfluorooctanoic acid
PI	Packaging Integration
RAM	Random-access memory
RCI	IEEE Rebooting Computing Initiative
RDL	Redistribution layer

Term	Definition
ReRAM	Resistive RAM
RF	Radio frequency
RMG	Replacement metal gate
ROM	Read-only memory
RRAM	Resistive random-access memory
RS	IEEE Reliability Society
S/D	Source/drain
SA	Systems and Architectures
SDRJ	System Device Roadmap Committee of Japan
SIA	Semiconductor Industry Association
SiGe	Silicon germanium
SiNANO	European Academic and Scientific Association for Nanoelectronics
SiP	System in package
SoC	System on chip
SOI	Silicon on insulator
SRAM	Static random-access memory
SRC	Semiconductor Research Corporation
SSCS	IEEE Solid State Circuits Society
SSD	Solid state drive
TEPS	Traversed edges per second
TFET	Tunnel field-effect transistor
TPU	Tensor processing units
TSV	Through silicon via
VGAA	Vertical gate all around
VLSI	Very large scale integration
W2W	Wafer to wafer
WSC	World Semiconductor Council
YE	Yield Enhancement
YoY	Year over year
YtY	Year to year

9. 付録

9.1. 付録 A - IFT の章とホワイトペーパーのファイルへのリンク

- [Application Benchmarking \(AB\) \(2020\)](#)
- [Systems and Architectures \(SA\)](#)
- [Outside System Connectivity \(OSC\)](#)
- [More Moore \(MM\)](#)
- [Beyond CMOS \(BC\)](#)
- [Cryogenic Electronics and Quantum Information Processing \(CEQIP\)](#)
- [Packaging Integration \(PI\) white paper](#)
- [Factory Integration \(FI\)](#)
- [Lithography \(L\)](#)
- [Yield Enhancement \(YE\)](#)
- [Metrology \(M\)](#)
- [Environment, Safety, Health, and Sustainability \(ESH/S\) White Paper](#)
- [More than Moore \(MtM\) White Paper](#)
- [Autonomous Machine Computing \(AMC\) White Paper](#)
- [Mass Data Storage and Nonvolatile Memory \(MDS\) Intention Paper](#)
- [Medical Devices Market Drivers White Paper \(2018\)](#)
- [Automotive Market Drivers White Paper \(2018\)](#)

9.2. 付録 B - ロードマップ全体の指標 (ORSC および ORTC) のソース情報へのリンク

- [Systems and Architectures](#)
- [More Moore Tables](#)